

特性

- 低电压操作：
 - $V_{CC} = 1.8V$ 至 $5.5V$
 - $V_{CC} = 2.7V$ 至 $5.5V$
- 用户可选择的内部结构为 2,048 x 8 (16K) 或 1,024 x 16 (16K)
- 工业级温度范围: $-40^{\circ}C$ 至 $+85^{\circ}C$
- 三线串行接口
- 顺序读取操作
- 施密特触发器, 滤波输入用于噪声抑制
- 2 MHz 时钟频率 (5V)
- 自定时写周期的最长时间为 10 ms
- 高可靠性:
 - 耐用性: 1,000,000 个写周期
 - 数据保持: 100 年
- 绿色封装选项 (无铅/无卤化物/符合 RoHS 规范)

封装

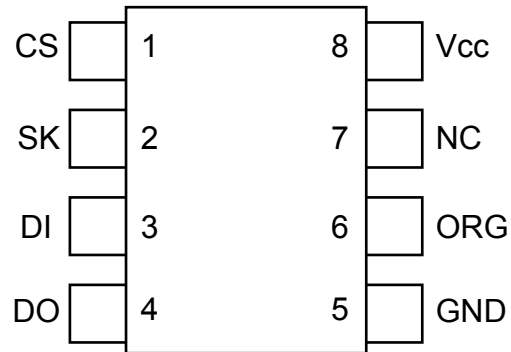
- 8 引脚 SOIC、8 引脚 TSSOP、8 焊盘 UDFN 和 8 引脚 PDIP

目录

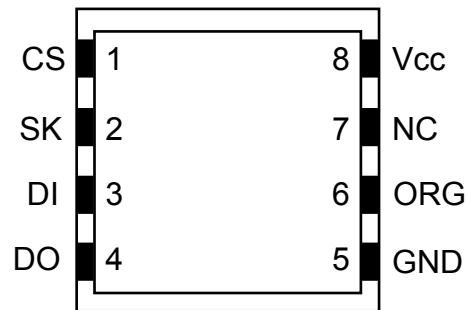
特性.....	1
封装.....	1
1. 封装类型（未按比例显示）	3
2. 引脚说明.....	4
2.1. 片选（Chip Select, CS）	4
2.2. 串行数据时钟（SK）	4
2.3. 串行数据输入（DI）	4
2.4. 串行数据输出（DO）	4
2.5. 接地（GND）	4
2.6. 内部结构（ORG）	4
2.7. 器件电源（V _{CC} ）	4
3. 说明.....	5
3.1. 框图.....	5
4. 电气特性.....	6
4.1. 绝对最大值.....	6
4.2. 直流和交流工作范围.....	6
4.3. 直流特性.....	6
4.4. 交流特性.....	7
4.5. 同步数据时序.....	8
4.6. 电气规范.....	8
5. 器件指令和寻址.....	10
5.1. READ.....	10
5.2. 擦写使能（Erase/Write Enable, EWEN）	11
5.3. 擦写禁止（Erase/Write Disable, EWDS）	11
5.4. ERASE.....	12
5.5. WRITE.....	12
5.6. 写入全部（Write All, WRAL）	12
5.7. 擦除全部（Erase All, ERAL）	13
6. 封装信息.....	14
6.1. 封装标识信息.....	14
7. 版本历史.....	25
Microchip 信息.....	26
商标.....	26
法律声明.....	26
Microchip 器件代码保护功能.....	26

1. 封装类型（未按比例显示）

8-lead PDIP/SOIC/TSSOP
(Top View)



8-pad UDFN
(Top View)



2. 引脚说明

表 2-1 列出了引脚说明。

表 2-1. 引脚功能表

名称	8 引脚 PDIP	8 引脚 SOIC	8 引脚 TSSOP	8 焊盘 UDFN ⁽¹⁾	功能
CS	1	1	1	1	片选
SK	2	2	2	2	串行数据时钟
DI	3	3	3	3	串行数据输入
DO	4	4	4	4	串行数据输出
GND	5	5	5	5	地
ORG	6	6	6	6	内部结构
NC	7	7	7	7	未连接
V _{CC}	8	8	8	8	器件电源

注：

1. 此封装上的裸露焊盘可以连接至 GND 或保持悬空。

2.1. 片选（Chip Select, CS）

片选（CS）引脚用于控制器件选择。当 CS 引脚为高电平时，AT93C86A 被选中。未选中器件时，将无法通过串行数据输入（DI）引脚接收数据，且串行数据输出（DO）引脚将一直处于高阻态。

2.2. 串行数据时钟（SK）

串行数据时钟（SK）引脚用于同步主器件与 AT93C86A 之间的通信。串行数据输入（DI）引脚上的指令、地址或数据在 SK 的上升沿锁存，而串行数据输出（DO）引脚上的输出则在 SK 的上升沿随时钟移出。

2.3. 串行数据输入（DI）

串行数据输入（DI）引脚用于向器件传输数据。它可接收指令、地址和数据。数据在串行数据时钟（SK）的上升沿锁存。

2.4. 串行数据输出（DO）

串行数据输出（DO）引脚用于将数据传出 AT93C86A。在读操作序列期间，数据在串行数据时钟（SK）的上升沿后通过该引脚移出。

如果 CS 在保持低电平至少 t_{CS} 后被拉高，并且已启动擦除或写操作，则该引脚还会输出器件的就绪/繁忙状态。

2.5. 接地（GND）

电源的参考地。接地（GND）引脚应连接至系统接地。

2.6. 内部结构（ORG）

内部结构（ORG）引脚用于在器件的 x16 或 x8 存储器结构之间切换选择。当 ORG 引脚连接至 V_{CC} 时，将选择 x16 存储器结构。当 ORG 引脚连接至 V_{SS} 时，将选择 x8 存储器结构。

如果 ORG 引脚保留不连接，且应用加载的输入未超出内部 1 M Ω 上拉电阻的能力范围，则将选择 x16 结构。

2.7. 器件电源（V_{CC}）

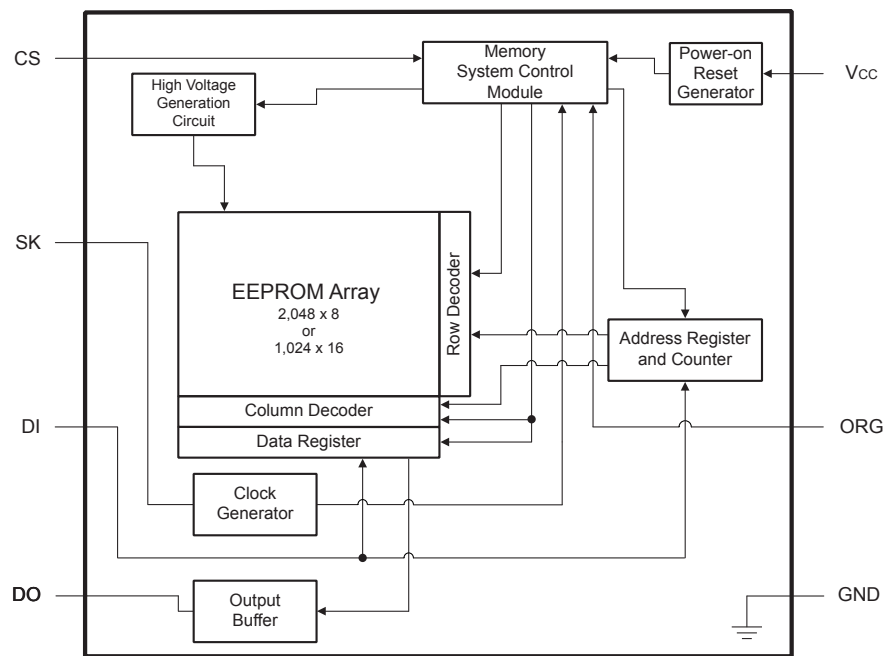
器件电源（V_{CC}）引脚用于为器件供电。不得尝试在无效的 V_{CC} 电压下工作，否则可能产生虚假结果。

3. 说明

AT93C86A 提供 16,384 位串行电可擦除可编程只读存储器（EEPROM），该 EEPROM 可由 1,024 字组成，每字 16 位（当 ORG 引脚连接至 V_{CC} 时），也可由 2,048 字组成，每字 8 位（当 ORG 引脚连接至地时）。该器件经过优化，可用于许多必须要求低功耗和低电压操作的工业和商业应用。AT93C86A 采用节省空间的 8 引脚 SOIC、8 引脚 TSSOP、8 焊盘 UDFN 和 8 引脚 PDIP 封装。所有封装的工作电压均为 1.8V 至 5.5V 或 2.7V 至 5.5V。

AT93C86A 通过片选（CS）引脚使能，并通过由数据输入（DI）、数据输出（DO）和串行数据时钟（SK）组成的三线串行接口访问。当 DI 接收到 READ 指令时，对地址进行解码，且数据在 DO 引脚上以串行的方式随时钟移出。写周期是完全自定时，且在写入之前，无需执行任何单独的擦除周期。只有在器件处于擦写使能状态下，才能使能写周期。当 CS 在启动写周期后被拉高时，DO 引脚输出器件的就绪/繁忙状态。

3.1. 框图



注：

1. 当 ORG 引脚连接至 V_{CC} 时，将选择 x16 结构。当该引脚连接到地时，将选择 x8 结构。如果 ORG 引脚保留不连接，且应用加载的输入未超出 10 M Ω 上拉电阻的能力范围，则将选择 x16 结构。

4. 电气特性

4.1. 绝对最大值

偏置时的 -55°C 至+125°C
温度
储存温度 -65°C 至+150°C
V_{CC} 6.25V
任何引脚 -1.0V 至+7.0V
相对于地
的电压
直流输出 5.0 mA
电流
ESD 保护 2 kV

注：如果器件工作条件超过上述“绝对最大值”，可能对器件造成永久性损坏。上述值仅代表本规范规定的极限工作条件，不代表器件在上述极限值或超出极限值的情况下仍可正常工作。器件长时间工作在最大值条件下，其可靠性可能受到影响。

4.2. 直流和交流工作范围

表 4-1. 直流和交流工作范围

AT93C86A		
工作温度（外壳）	工业级温度范围	-40°C 至+85°C
V _{CC} 电源	低电压等级	1.8V 至 5.5V

4.3. 直流特性

表 4-2. 直流特性 ⁽¹⁾

参数	符号	最小值	典型值	最大值	单位	测试条件
电源电压	V _{CC1}	1.8	—	5.5	V	
电源电压	V _{CC2}	2.7	—	5.5	V	
电源电压	V _{CC3}	4.5	—	5.5	V	
电源电流	I _{CC1}	—	0.5	2.0	mA	V _{CC} = 5.0V, 在 1 MHz 条件下读取
电源电流	I _{CC2}	—	0.5	2.0	mA	V _{CC} = 5.0V, 在 1 MHz 条件下写入
待机电流（1.8V 选项）	I _{SB1}	—	0.4	1.0	μA	V _{CC} = 1.8V, CS = 0V
待机电流（2.7V 选项）	I _{SB2}	—	6.0	10.0	μA	V _{CC} = 2.7V, CS = 0V
待机电流（5.0V 选项）	I _{SB3}	—	10.0	15.0	μA	V _{CC} = 5.0V, CS = 0V
输入泄漏电流	I _{IL}	—	0.1	3.0	μA	V _{IN} = 0 至 V _{CC}
输出泄漏电流	I _{LO}	—	0.1	3.0	μA	V _{IN} = 0 至 V _{CC}
输入低电平电压	V _{IL1}	-0.6	—	0.8	V	2.7V ≤ V _{CC} ≤ 5.5V (注 2)
输入高电平电压	V _{IH1}	2.0	—	V _{CC} + 1	V	2.7V ≤ V _{CC} ≤ 5.5V (注 2)
输入低电平电压	V _{IL2}	-0.6	—	V _{CC} × 0.3	V	1.8V ≤ V _{CC} ≤ 2.7V (注 2)
输入高电平电压	V _{IH2}	V _{CC} × 0.7	—	V _{CC} + 1	V	1.8V ≤ V _{CC} ≤ 2.7V (注 2)
输出低电平电压	V _{OL1}	—	—	0.4	V	2.7V ≤ V _{CC} ≤ 5.5V, I _{OL} = 2.1 mA
输出高电平电压	V _{OH1}	2.4	—	—	V	2.7V ≤ V _{CC} ≤ 5.5V, I _{OH} = -0.4 mA
输出低电平电压	V _{OL2}	—	—	0.2	V	1.8V ≤ V _{CC} ≤ 2.7V, I _{OL} = 0.15 mA

表 4-2. 直流特性 ⁽¹⁾ (续)

参数	符号	最小值	典型值	最大值	单位	测试条件
输出高电平电压	V_{OH2}	$V_{CC} - 0.2$	—	—	V	$1.8V \leq V_{CC} \leq 2.7V$, $I_{OH} = -100 \mu A$

注:

1. 适用于以下建议工作范围: $T_A = -40^{\circ}C$ 至 $+85^{\circ}C$, $V_{CC} = 1.8V$ 至 $5.5V$ (除非另外说明)。
2. V_{IL} 最小值和 V_{IH} 最大值仅供参考, 并未经过测试。

4.4. 交流特性

表 4-3. 交流特性 ⁽¹⁾

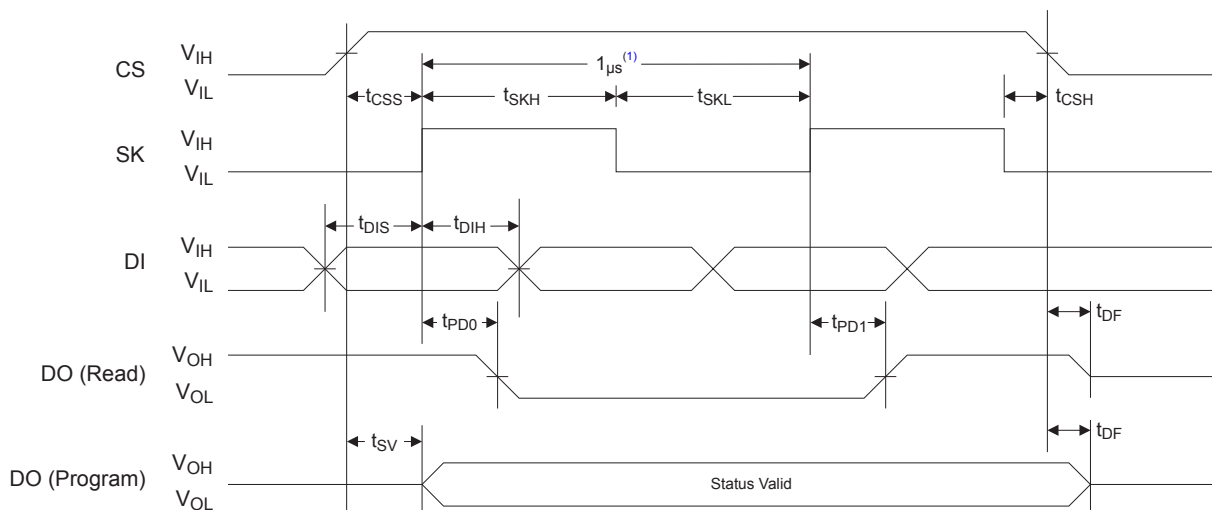
参数	符号	最小值	典型值	最大值	单位	测试条件
时钟频率, SK	f_{SK}	0	—	2	MHz	$4.5V \leq V_{CC} \leq 5.5V$
		0	—	1	MHz	$2.7V \leq V_{CC} \leq 5.5V$
		0	—	250	kHz	$1.8V \leq V_{CC} \leq 5.5V$
高电平时间, SK	t_{SKH}	250	—	—	ns	$2.7V \leq V_{CC} \leq 5.5V$
		1000	—	—	ns	$1.8V \leq V_{CC} \leq 5.5V$
低电平时间, SK	t_{SKL}	250	—	—	ns	$2.7V \leq V_{CC} \leq 5.5V$
		1000	—	—	ns	$1.8V \leq V_{CC} \leq 5.5V$
最短 CS 低电平时间	t_{CS}	250	—	—	ns	$2.7V \leq V_{CC} \leq 5.5V$
		1000	—	—	ns	$1.8V \leq V_{CC} \leq 5.5V$
CS 建立时间	t_{CSS}	50	—	—	ns	$2.7V \leq V_{CC} \leq 5.5V$, 相对于 SK
		200	—	—	ns	$1.8V \leq V_{CC} \leq 5.5V$, 相对于 SK
DI 建立时间	t_{DIS}	100	—	—	ns	$2.7V \leq V_{CC} \leq 5.5V$, 相对于 SK
		400	—	—	ns	$1.8V \leq V_{CC} \leq 5.5V$, 相对于 SK
CS 保持时间	t_{CSH}	0	—	—	ns	相对于 SK
DI 保持时间	t_{DIH}	100	—	—	ns	$2.7V \leq V_{CC} \leq 5.5V$, 相对于 SK
		400	—	—	ns	$1.8V \leq V_{CC} \leq 5.5V$, 相对于 SK
输出延迟至 1	t_{PD1}	—	—	250	ns	$2.7V \leq V_{CC} \leq 5.5V$
		—	—	1000	ns	$1.8V \leq V_{CC} \leq 5.5V$
输出延迟至 0	t_{PD0}	—	—	250	ns	$2.7V \leq V_{CC} \leq 5.5V$
		—	—	1000	ns	$1.8V \leq V_{CC} \leq 5.5V$
CS 至状态有效	t_{SV}	—	—	250	ns	$2.7V \leq V_{CC} \leq 5.5V$
		—	—	1000	ns	$1.8V \leq V_{CC} \leq 5.5V$
CS 至 DO 处于高阻态	t_{DF}	—	—	150	ns	$2.7V \leq V_{CC} \leq 5.5V$, $CS = V_{IL}$
		—	—	400	ns	$1.8V \leq V_{CC} \leq 5.5V$, $CS = V_{IL}$
写周期时间	t_{WP}	0.1	3	10	ms	$1.8V \leq V_{CC} \leq 5.5V$

注:

1. 适用于以下建议工作范围: $T_A = -40^{\circ}C$ 至 $+85^{\circ}C$, V_{CC} = 根据规定, $C_L = 1$ TTL 栅极和 100 pF (除非另外说明)。

4.5. 同步数据时序

图 4-1. 同步数据时序



注:

1. 这是最小 SK 周期。

4.6. 电气规范

4.6.1. 上电要求和复位特性

在上电序列期间，提供给 AT93C86A 的 V_{CC} 应按照表 4-1 中的要求从 GND 单调上升至最低 V_{CC} 电平，且压摆率不得高于 $0.1 \text{ V}/\mu\text{s}$ 。

4.6.1.1. 器件复位

为防止在上电序列期间发生无意的写操作或任何其他虚假事件，AT93C86A 包含一个上电复位（Power-on Reset, POR）电路。上电后，在 V_{CC} 电平超过内部电压阈值（ V_{POR} ），使器件退出复位模式并进入待机模式之前，该器件不会响应任何指令。

系统设计人员必须确保在 V_{CC} 电源达到一个大于或等于最低 V_{CC} 电平的稳定值之前，不会向器件发送指令。此外，一旦 V_{CC} 大于或等于最低 V_{CC} 电平，总线主器件必须等待至少 t_{PUP} 才能向器件发送第一个指令。这些上电参数的相关值请参见“上电条件”⁽¹⁾。

表 4-4. 上电条件 ⁽¹⁾

符号	参数	最小值	最大值	单位
t_{PUP}	在 V_{CC} 稳定之后，器件能够接受指令之前所需的时间	100	—	μs
V_{POR}	上电复位阈值电压	—	1.5	V
t_{POFF}	掉电再上电之间， $V_{CC} = 0\text{V}$ 时的最短时间	500	—	ms

注:

1. 这些参数通过表征确定，但未在生产中进行 100% 测试。

如果系统中出现使提供给 AT93C86A 的 V_{CC} 电平降至规定的最大 V_{POR} 电平以下的事件，则建议执行完整的掉电再上电序列，首先将 V_{CC} 引脚驱动至 GND，至少等待最短 T_{POFF} 时间，然后按照本节定义的要求执行新的上电序列。

4.6.2. 引脚电容

表 4-5. 引脚电容 ⁽¹⁾

符号	测试条件	最大值	单位	条件
C _{OUT}	输出电容 (DO)	5	pF	V _{OUT} = 0V
C _{IN}	输入电容 (CS、SK、DI 和 ORG)	5	pF	V _{IN} = 0V

注:

1. 该参数通过表征确定，但未在生产中进行 100%测试。

4.6.3. EEPROM 单元性能特性

表 4-6. EEPROM 单元性能特性

操作	测试条件	最小值	最大值	单位
写耐用性 ⁽¹⁾	T _A = 25°C, V _{CC} = 5.0V	1,000,000	—	写周期
数据保留 ⁽¹⁾	T _A = 55°C	100	—	年

注:

1. 性能通过特性和认证流程确定。

5. 器件指令和寻址

AT93C86A 通过简单的多功能三线串行通信接口访问。器件操作由主机处理器发出的七个指令控制。有效的指令从 CS 的上升沿开始，包括启动位（Start Bit, SB），后跟适当的操作码和所需的存储器地址位置。

表 5-1. AT93C86A 指令集

指令	SB	操作码	地址		数据		说明
			X8 ⁽¹⁾	X16 ⁽¹⁾	X8	X16	
READ	1	10	A ₁₀ -A ₀	A ₉ -A ₀			从指定地址的存储器中读取存储的数据。
EWEN	1	00	11XXXXXXXX	11XXXXXXXX			写操作使能必须优先于所有编程模式。
ERASE	1	11	A ₁₀ -A ₀	A ₉ -A ₀			擦除存储单元 A _N -A ₀ 。
WRITE	1	01	A ₁₀ -A ₀	A ₉ -A ₀	D ₇ -D ₀	D ₁₅ -D ₀	写入存储单元 A _N -A ₀ 。
ERAL	1	00	10XXXXXXXX	10XXXXXXXX			擦除所有存储单元。仅在 V _{CC3} 有效。请参见表 4-2。
WRAL	1	00	01XXXXXXXX	01XXXXXXXX	D ₇ -D ₀	D ₁₅ -D ₀	写入所有存储单元。仅在 V _{CC3} 有效。请参见表 4-2。
EWDS	1	00	00XXXXXXXX	00XXXXXXXX			禁止所有编程指令。

注：

1. 地址字段中的“x”表示“无关”位，且必须发送至器件。

表 5-2. 时序图的结构关键信息

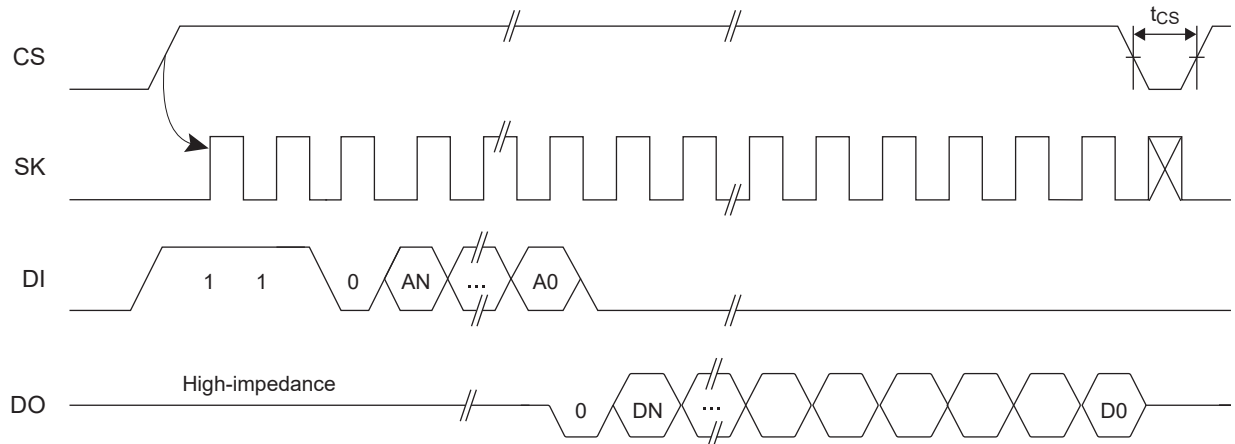
I/O	AT93C86A (16K)	
	x8	x16
A _N	A ₁₀	A ₉
D _N	D ₇	D ₁₅

5.1. READ

READ 指令包含待读取存储单元的地址代码。在解码指令和地址后，DO 引脚会提供选定存储单元的数据。输出数据变化与 SK 引脚的上升沿同步。AT93C86A 支持顺序读取操作。只要片选（CS）引脚保持为高电平，器件就会自动递增内部地址指针并随时钟移出下一个存储单元。在这种情况下，虚拟位（逻辑“0”）不会在存储单元之间随时钟移出，从而可读取连续的数据流。

注：在初始 8 位或 16 位数据输出字符串之前有一个虚拟位（逻辑“0”）。

图 5-1. READ 时序

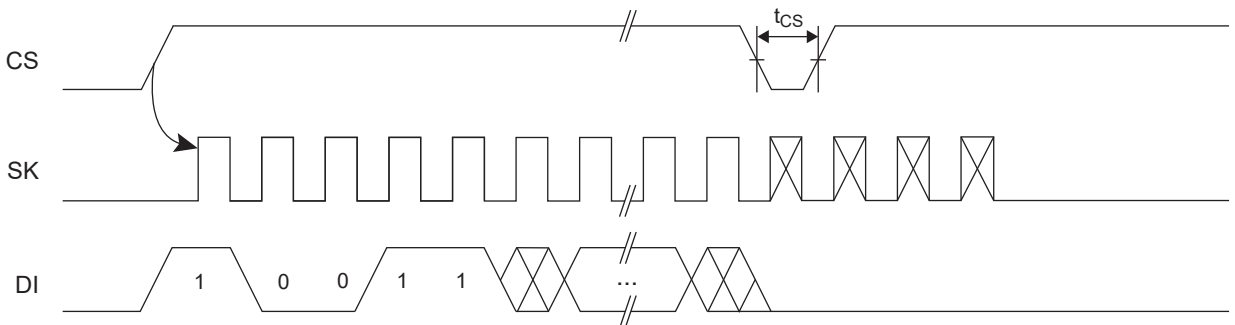


5.2. 擦写使能 (Erase/Write Enable, EWEN)

为确保数据完整性，首次对器件供电时，器件会自动进入擦写禁止 (EWDS) 状态。在执行任何编程指令之前，必须先执行擦写使能 (EWEN) 指令。

注：进入写操作使能状态后，编程仍保持使能，直到执行 EWDS 指令或从器件上移除 V_{CC} 电源。

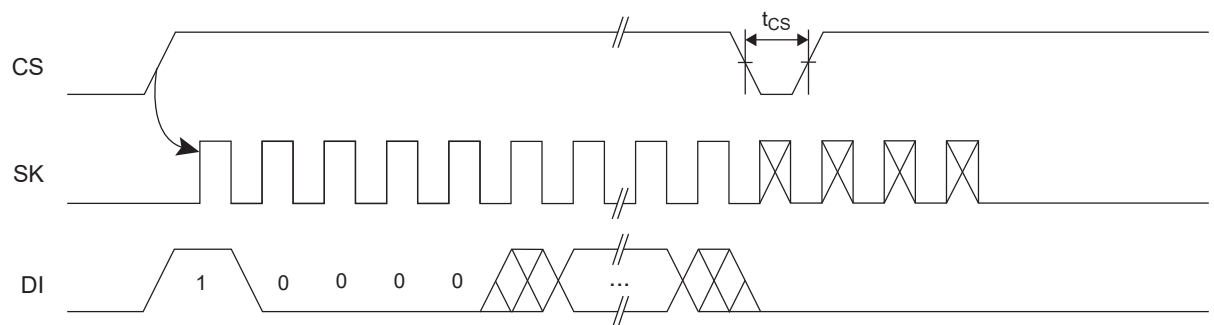
图 5-2. EWEN 时序



5.3. 擦写禁止 (Erase/Write Disable, EWDS)

为了防止意外的数据干扰，擦写禁止 (EWDS) 指令会禁止所有编程模式，并应在所有编程操作完成后执行。READ 指令的操作与 EWEN 和 EWDS 指令无关，且可随时执行。

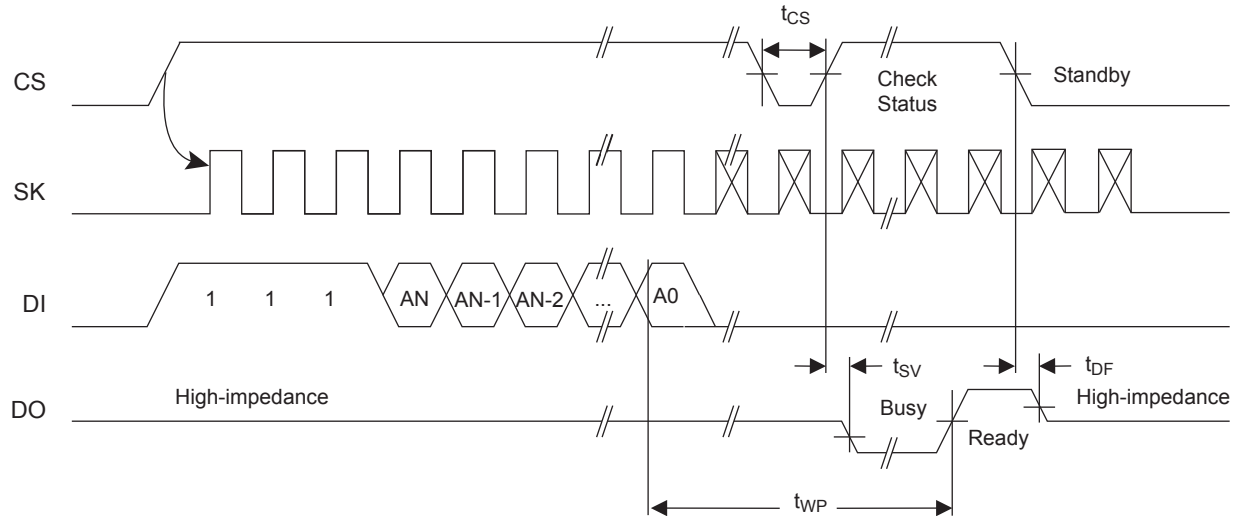
图 5-3. EWDS 时序



5.4. ERASE

ERASE 指令将指定存储单元中的所有位置于逻辑“1”状态。在解码 ERASE 指令和地址后，自定时擦除周期就会启动。如果 CS 在保持低电平至少 t_{CS} 后被拉高，则 DO 引脚会输出器件的就绪/繁忙状态。当 DO 引脚输出逻辑“1”时，则表示所选存储单元已被擦除，且器件已准备好执行下一条指令。

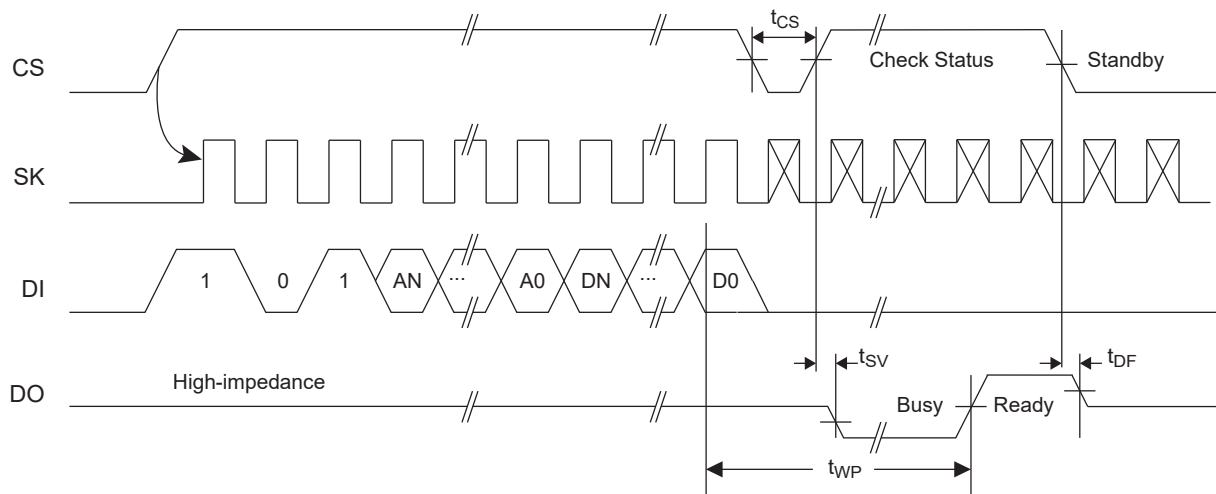
图 5-4. ERASE 时序



5.5. WRITE

WRITE 指令包含待写入指定存储单元的 8 位或 16 位数据。在 DI 引脚上收到最后一个数据位后，自定时编程周期 t_{WP} 就会启动。如果 CS 在保持低电平至少 t_{CS} 后被拉高，则 DO 引脚会输出器件的就绪/繁忙状态。DO 输出逻辑“0”时，表示编程仍在进行中。逻辑“1”表示指定地址的存储单元已写入指令中包含的数据模式，器件已准备好执行其他指令。如果 CS 在自定时编程周期 t_{WP} 结束后被拉高，则无法获得就绪/繁忙状态。

图 5-5. WRITE 时序

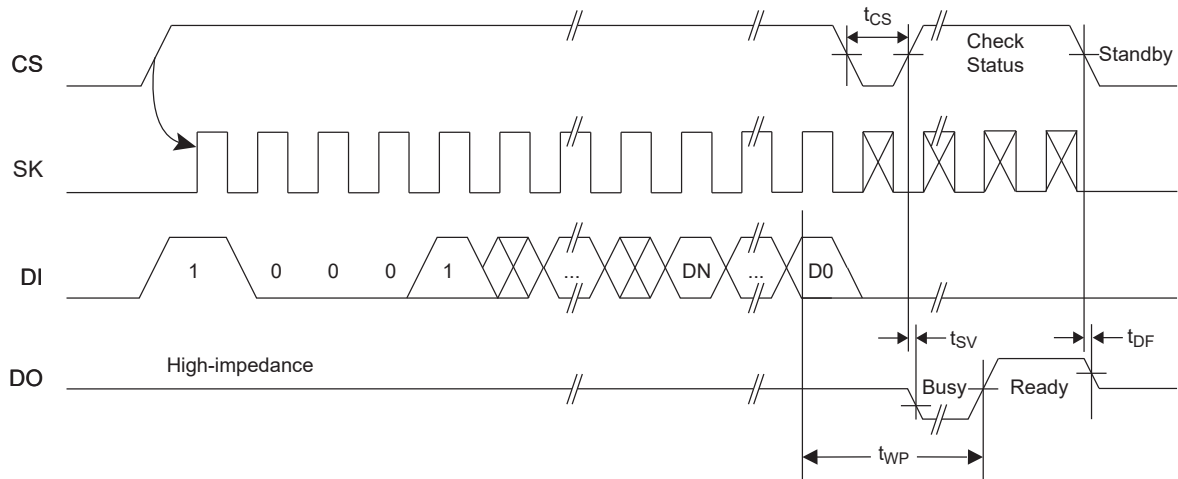


5.6. 写入全部 (Write All, WRAL)

写入全部 (WRAL) 指令会将指令中指定的数据模式编程到所有存储单元。如果 CS 在保持低电平至少 t_{CS} 后被拉高，则 DO 引脚会输出器件的就绪/繁忙状态。

注：WRAL 指令仅在 V_{CC3} 有效（见表 4-2）。

图 5-6. WRAL 时序

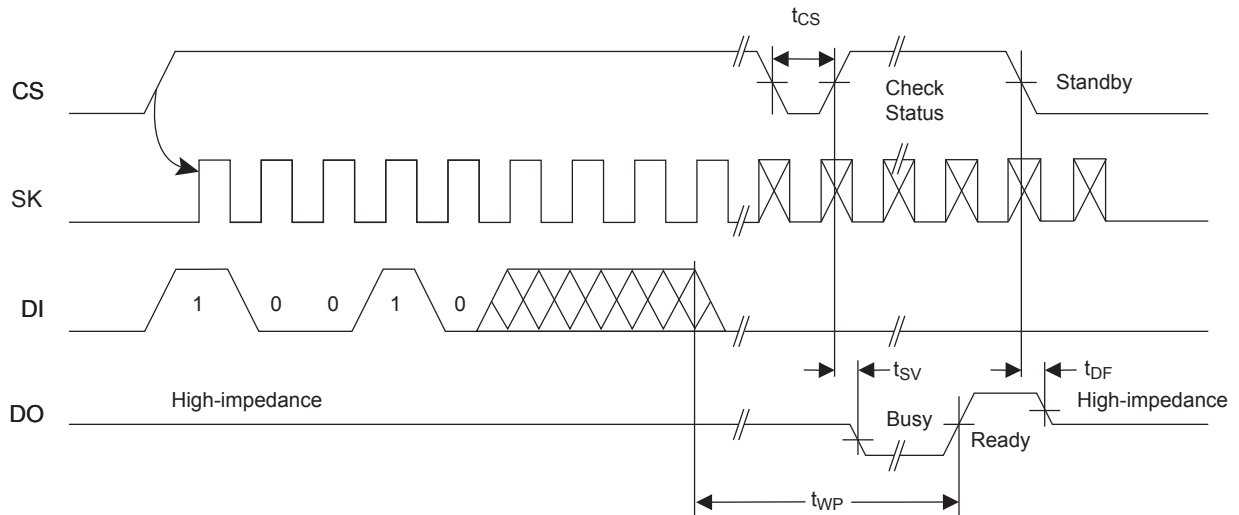


5.7. 擦除全部（Erase All, ERAL）

擦除全部（ERAL）指令会将存储器阵列中的每一个位置于逻辑“1”状态，且主要用于测试目的。如果 CS 在保持低电平至少 t_{CS} 后被拉高，则 DO 引脚会输出器件的就绪/繁忙状态。

注：ERAL 指令仅在 V_{CC3} 有效（见表 4-2）。

图 5-7. ERAL 时序



6. 封装信息

6.1. 封装标识信息

AT93C86A: Package Marking Information

8-lead SOIC	8-lead TSSOP
8-pad UDFN	8-lead PDIP
2.0 x 3.0 mm Body 	

Note 1: ● designates pin 1

Note 2: Package drawings are not to scale

Catalog Number Truncation

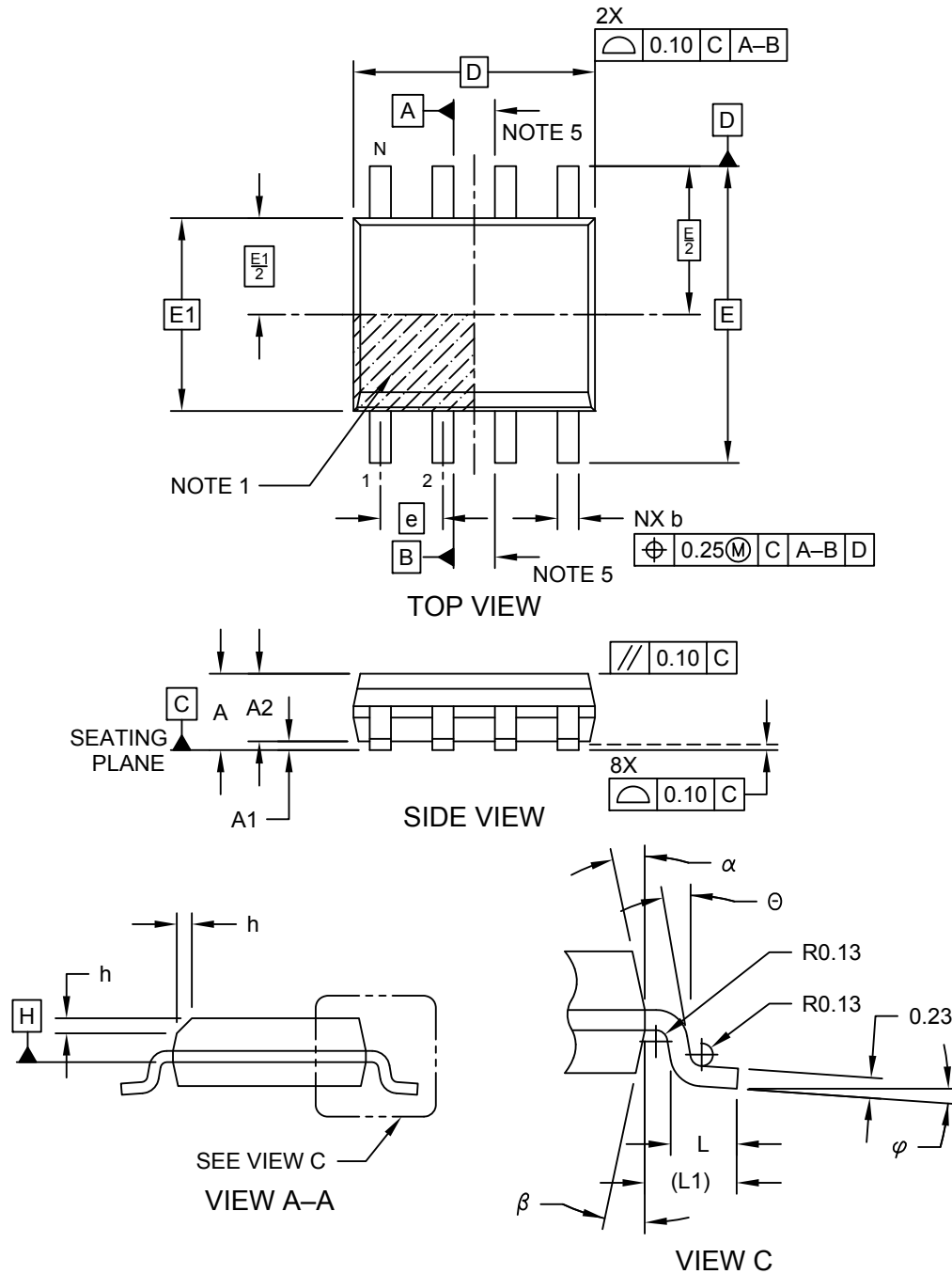
AT93C86A

Truncation Code ###: 86A

Date Codes			Voltages
YY = Year	Y = Year	WW = Work Week of Assembly	% = Minimum Voltage
16: 2016 20: 2020	6: 2016 0: 2020	02: Week 2	L: 1.8V min
17: 2017 21: 2021	7: 2017 1: 2021	04: Week 4	Blank: 2.7V min
18: 2018 22: 2022	8: 2018 2: 2022	...	
19: 2019 23: 2023	9: 2019 3: 2023	52: Week 52	
Country of Origin		Device Grade	Atmel Truncation
CO = Country of Origin		H or U: Industrial Grade	AT: Atmel ATM: Atmel ATML: Atmel
Lot Number or Trace Code			
NNN = Alphanumeric Trace Code			

8-Lead Plastic Small Outline (SN) - Narrow, 3.90 mm (.150 In.) Body [SOIC]

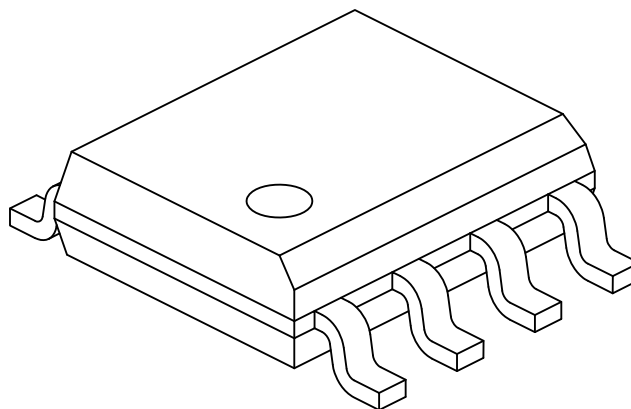
Note: For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>



Microchip Technology Drawing No. C04-057-SN Rev E Sheet 1 of 2

8-Lead Plastic Small Outline (SN) - Narrow, 3.90 mm (.150 In.) Body [SOIC]

Note: For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>



Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Pins	N	8		
Pitch	e	1.27 BSC		
Overall Height	A	-	-	1.75
Molded Package Thickness	A2	1.25	-	-
Standoff §	A1	0.10	-	0.25
Overall Width	E	6.00 BSC		
Molded Package Width	E1	3.90 BSC		
Overall Length	D	4.90 BSC		
Chamfer (Optional)	h	0.25	-	0.50
Foot Length	L	0.40	-	1.27
Footprint	L1	1.04 REF		
Foot Angle	φ	0°	-	8°
Lead Thickness	c	0.17	-	0.25
Lead Width	b	0.31	-	0.51
Mold Draft Angle Top	α	5°	-	15°
Mold Draft Angle Bottom	β	5°	-	15°

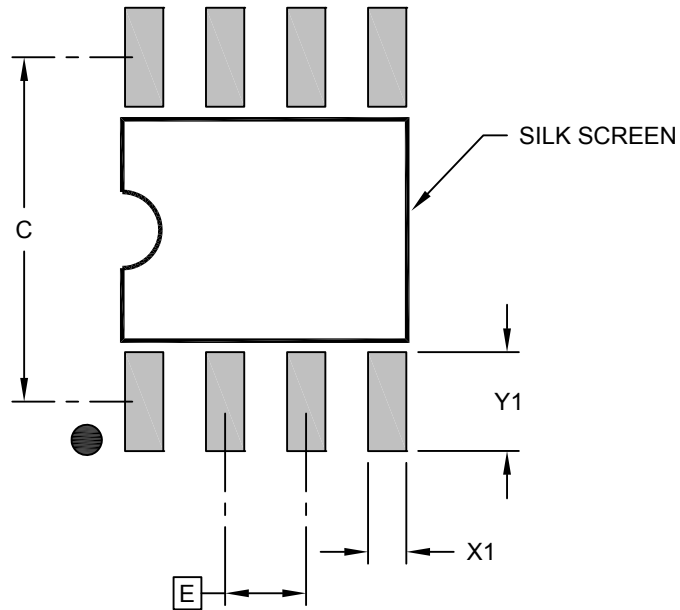
Notes:

- Pin 1 visual index feature may vary, but must be located within the hatched area.
- § Significant Characteristic
- Dimensions D and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.15mm per side.
- Dimensioning and tolerancing per ASME Y14.5M
 - BSC: Basic Dimension. Theoretically exact value shown without tolerances.
 - REF: Reference Dimension, usually without tolerance, for information purposes only.
- Datums A & B to be determined at Datum H.

Microchip Technology Drawing No. C04-057-SN Rev E Sheet 2 of 2

8-Lead Plastic Small Outline (SN) - Narrow, 3.90 mm Body [SOIC]

Note: For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>



RECOMMENDED LAND PATTERN

Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Contact Pitch	E	1.27 BSC		
Contact Pad Spacing	C		5.40	
Contact Pad Width (X8)	X1			0.60
Contact Pad Length (X8)	Y1			1.55

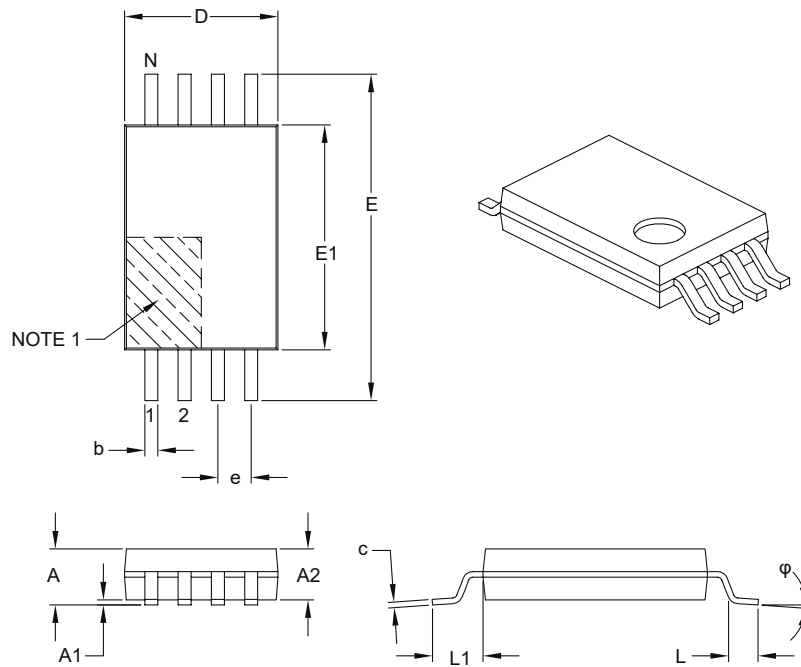
Notes:

- Dimensioning and tolerancing per ASME Y14.5M
BSC: Basic Dimension. Theoretically exact value shown without tolerances.

Microchip Technology Drawing C04-2057-SN Rev E

8-Lead Plastic Thin Shrink Small Outline (ST) – 4.4 mm Body [TSSOP]

Note: For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>



Dimension Limits	Units	MILLIMETERS		
		MIN	NOM	MAX
Number of Pins	N	8		
Pitch	e	0.65 BSC		
Overall Height	A	—	—	1.20
Molded Package Thickness	A2	0.80	1.00	1.05
Standoff	A1	0.05	—	0.15
Overall Width	E	6.40 BSC		
Molded Package Width	E1	4.30	4.40	4.50
Molded Package Length	D	2.90	3.00	3.10
Foot Length	L	0.45	0.60	0.75
Footprint	L1	1.00 REF		
Foot Angle	φ	0°	—	8°
Lead Thickness	c	0.09	—	0.20
Lead Width	b	0.19	—	0.30

Notes:

- Pin 1 visual index feature may vary, but must be located within the hatched area.
- Dimensions D and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.15 mm per side.
- Dimensioning and tolerancing per ASME Y14.5M.

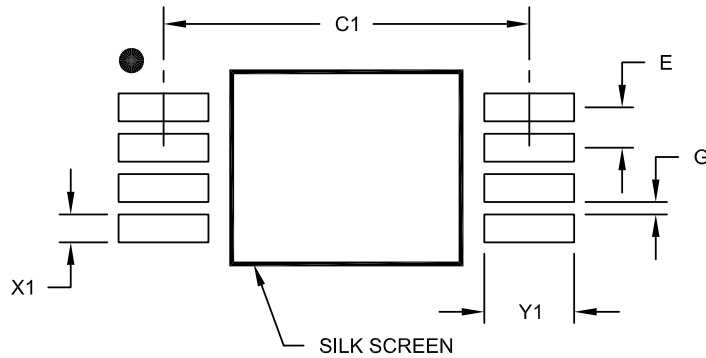
BSC: Basic Dimension. Theoretically exact value shown without tolerances.

REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing C04-086B

8-Lead Plastic Thin Shrink Small Outline (ST) - 4.4 mm Body [TSSOP]

Note: For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>



RECOMMENDED LAND PATTERN

Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Contact Pitch	E	0.65 BSC		
Contact Pad Spacing	C1		5.90	
Contact Pad Width (X8)	X1			0.45
Contact Pad Length (X8)	Y1			1.45
Distance Between Pads	G	0.20		

Notes:

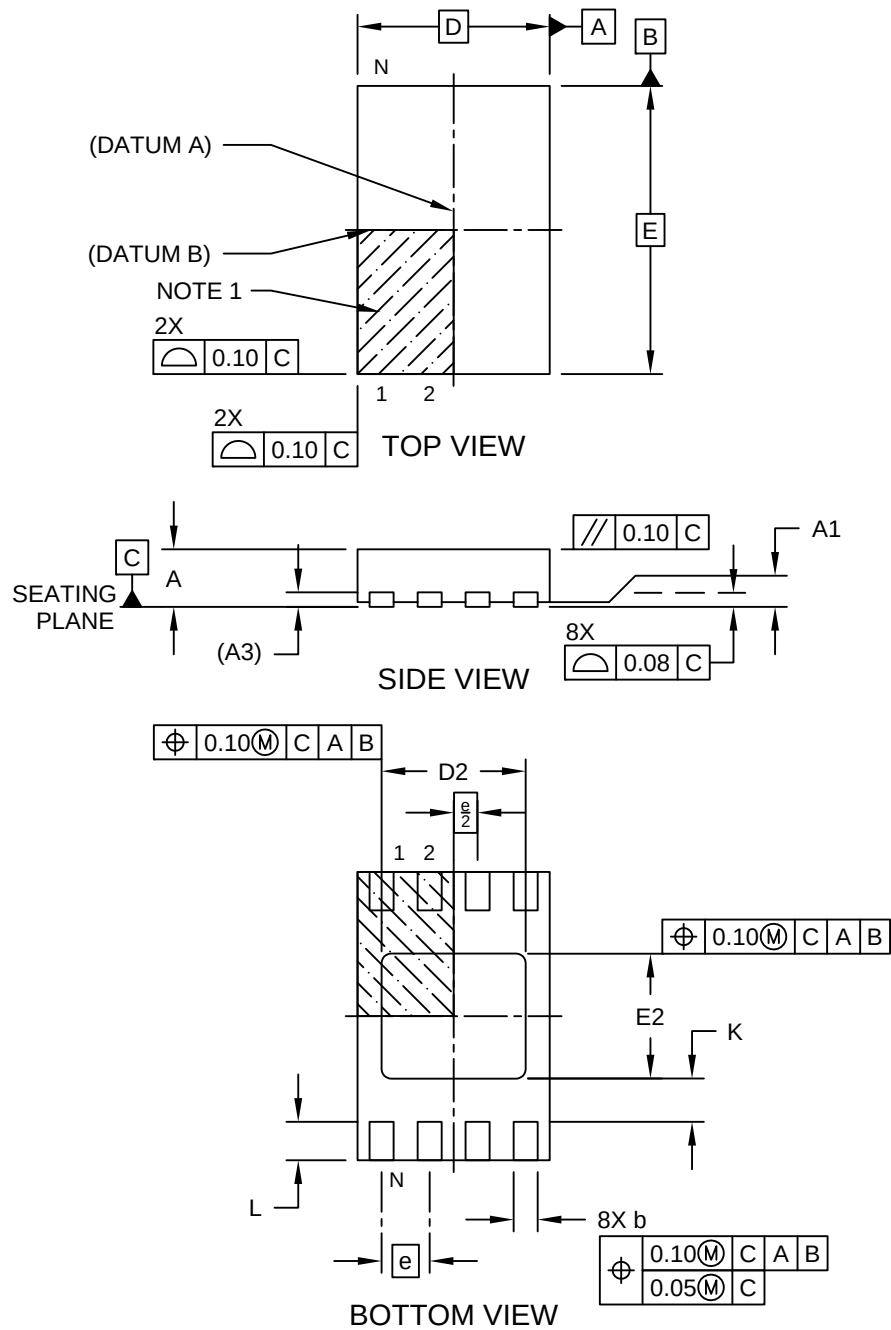
1. Dimensioning and tolerancing per ASME Y14.5M

BSC: Basic Dimension. Theoretically exact value shown without tolerances.

Microchip Technology Drawing No. C04-2086A

8-Lead Ultra Thin Plastic Dual Flat, No Lead Package (Q4B) - 2x3 mm Body [UDFN] Atmel Legacy YNZ Package

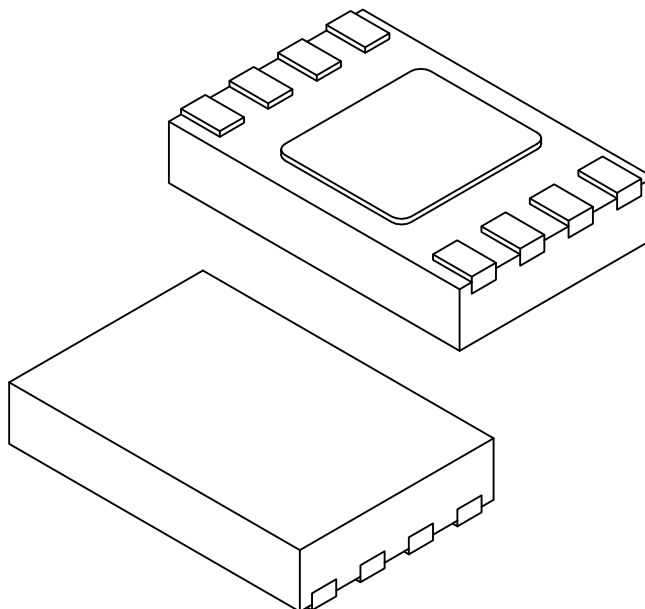
Note: For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>



Microchip Technology Drawing C04-21355-Q4B Rev A Sheet 1 of 2

8-Lead Ultra Thin Plastic Dual Flat, No Lead Package (Q4B) - 2x3 mm Body [UDFN] Atmel Legacy YNZ Package

Note: For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packages>



Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Number of Terminals	N	8		
Pitch	e	0.50 BSC		
Overall Height	A	0.50	0.55	0.60
Standoff	A1	0.00	0.02	0.05
Terminal Thickness	A3	0.152 REF		
Overall Length	D	2.00 BSC		
Exposed Pad Length	D2	1.40	1.50	1.60
Overall Width	E	3.00 BSC		
Exposed Pad Width	E2	1.20	1.30	1.40
Terminal Width	b	0.18	0.25	0.30
Terminal Length	L	0.35	0.40	0.45
Terminal-to-Exposed-Pad	K	0.20	-	-

Notes:

- Pin 1 visual index feature may vary, but must be located within the hatched area.
- Package is saw singulated
- Dimensioning and tolerancing per ASME Y14.5M

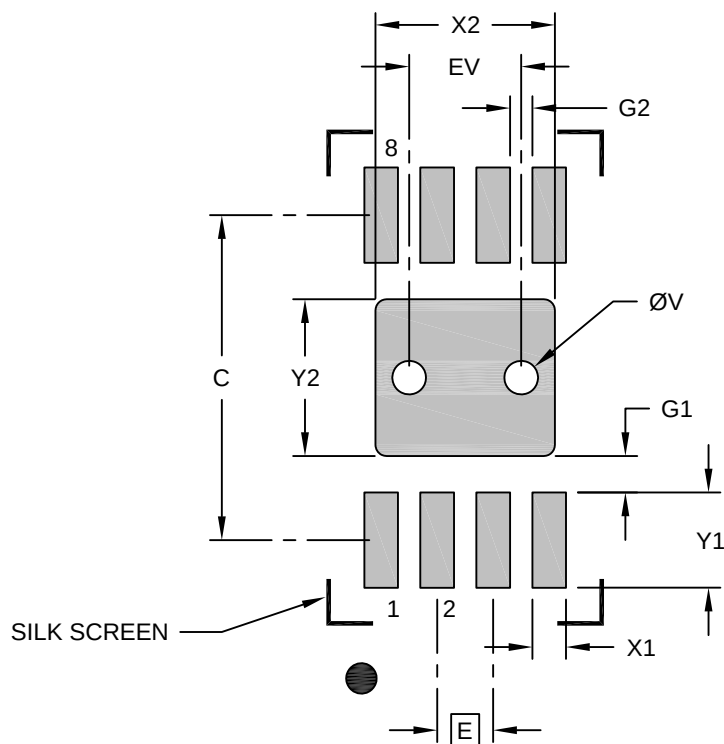
BSC: Basic Dimension. Theoretically exact value shown without tolerances.

REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing C04-21355-Q4B Rev A Sheet 2 of 2

8-Lead Ultra Thin Plastic Dual Flat, No Lead Package (Q4B) - 2x3 mm Body [UDFN] Atmel Legacy YNZ Package

Note: For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>



RECOMMENDED LAND PATTERN

Units		MILLIMETERS		
Dimension Limits		MIN	NOM	MAX
Contact Pitch	E		0.50 BSC	
Optional Center Pad Width	X2			1.60
Optional Center Pad Length	Y2			1.40
Contact Pad Spacing	C		2.90	
Contact Pad Width (X8)	X1			0.30
Contact Pad Length (X8)	Y1			0.85
Contact Pad to Center Pad (X8)	G1	0.20		
Contact Pad to Contact Pad (X6)	G2	0.33		
Thermal Via Diameter	V		0.30	
Thermal Via Pitch	EV		1.00	

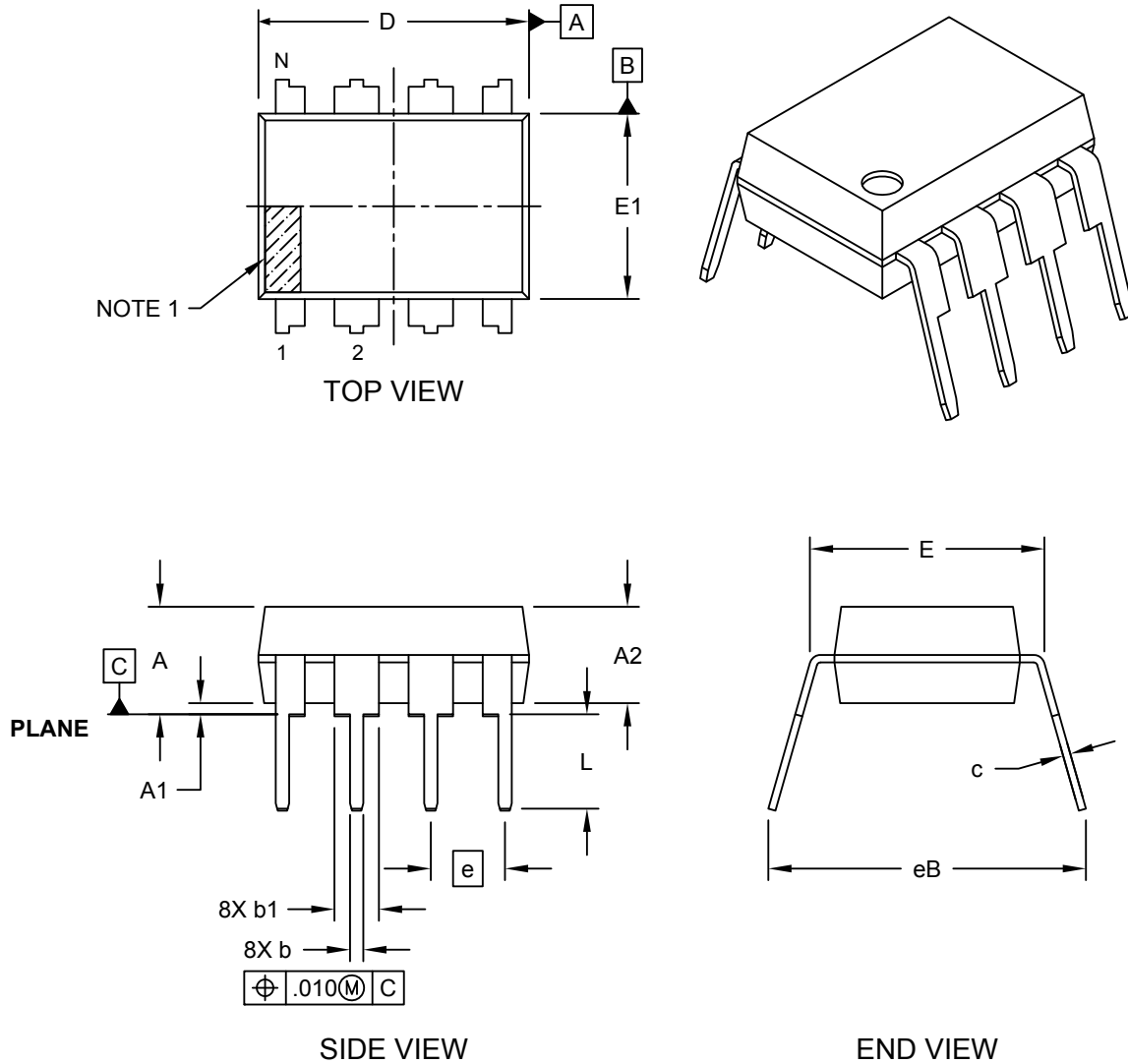
Notes:

- Dimensioning and tolerancing per ASME Y14.5M
BSC: Basic Dimension. Theoretically exact value shown without tolerances.
- For best soldering results, thermal vias, if used, should be filled or tented to avoid solder loss during reflow process

Microchip Technology Drawing C04-21355-Q4B Rev A

8-Lead Plastic Dual In-Line (P) - 300 mil Body [PDIP]

Note: For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>

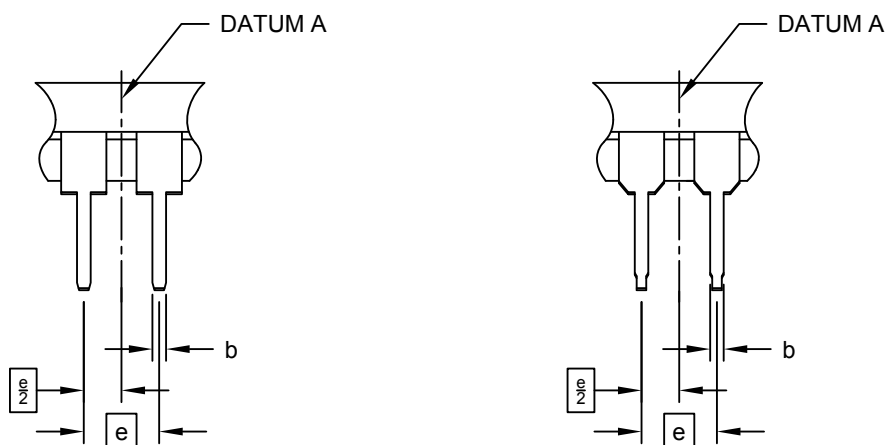


Microchip Technology Drawing No. C04-018-P Rev E Sheet 1 of 2

8-Lead Plastic Dual In-Line (P) - 300 mil Body [PDIP]

Note: For the most current package drawings, please see the Microchip Packaging Specification located at <http://www.microchip.com/packaging>

ALTERNATE LEAD DESIGN
(NOTE 5)



Units		INCHES		
Dimension Limits		MIN	NOM	MAX
Number of Pins	N	8		
Pitch	e	.100 BSC		
Top to Seating Plane	A	-	-	.210
Molded Package Thickness	A2	.115	.130	.195
Base to Seating Plane	A1	.015	-	-
Shoulder to Shoulder Width	E	.290	.310	.325
Molded Package Width	E1	.240	.250	.280
Overall Length	D	.348	.365	.400
Tip to Seating Plane	L	.115	.130	.150
Lead Thickness	c	.008	.010	.015
Upper Lead Width	b1	.040	.060	.070
Lower Lead Width	b	.014	.018	.022
Overall Row Spacing	§	eB	-	.430

Notes:

- Pin 1 visual index feature may vary, but must be located within the hatched area.
- § Significant Characteristic
- Dimensions D and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed .010" per side.
- Dimensioning and tolerancing per ASME Y14.5M
BSC: Basic Dimension. Theoretically exact value shown without tolerances.
- Lead design above seating plane may vary, based on assembly vendor.

Microchip Technology Drawing No. C04-018-P Rev E Sheet 2 of 2

7. 版本历史

版本 A（2019 年 10 月）

更新至 Microchip 模板。Microchip DS20006261 取代 Atmel 文档 3408。更新了封装标识信息。移除了引脚表面标识。更新了封装标识中的走线代码格式。更新了整节内容，使内容更清晰准确。将 PDIP、SOIC、TSSOP 和 UDFN 封装图更新为 Microchip 格式。

Atmel AT93C86A 3408 版本 L（2017 年 1 月）

新增了批量（管式）运输选项。将标准数量卷带式选项更改为“T”。更新了订购信息表。删除了 AT93C86A-W1.8-11 部件编号。

Atmel AT93C86A 3408 版本 K（2015 年 12 月）

修正了订购代码详情并更新了 8S1 和 8MA2 封装图。

Atmel AT93C86A 3408 版本 J（2015 年 1 月）

添加了 UDFN 扩展数量选项，并更新了订购信息部分。更新了 8MA2 和 8P3 封装图。

Atmel AT93C86A 3408 版本 I（2014 年 8 月）

更新了引脚排列、8MA2 封装图、语法更改、文档模板、徽标和免责声明页面。功能规格无变更。

Atmel AT93C86A 3408 版本 H（2007 年 1 月）

在第 1 页“超薄 MiniMap”封装图中添加了“底视图”，第 4 页修订了注释 1，添加了“通过表征确保”。

Atmel AT93C86A 3408 版本 G（2006 年 7 月）

增加了版本历史。从数据手册中删除了“初稿”状态；向 MLP 2x3 封装添加了“超薄”说明；删除了图 1 注释上的“1.8V 不可用”在表 4 的“写周期时间”下添加了 1.8V 范围。

Microchip 信息

商标

“Microchip”的名称和徽标组合、“M”徽标及其他名称、徽标和品牌均为 Microchip Technology Incorporated 或其关联公司和/或子公司在美国和/或其他国家或地区的注册商标或商标（“Microchip 商标”）。有关 Microchip 商标的信息，可访问 <https://www.microchip.com/en-us/about/legal-information/microchip-trademarks>。

ISBN: 979-8-3371-2427-8

法律声明

提供本文档的中文版本仅为了便于理解。请勿忽视文档中包含的英文部分，因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc. 的英文原版文档。

本出版物及其提供的信息仅适用于 Microchip 产品，包括设计、测试以及将 Microchip 产品集成到您的应用中。以其他方式使用这些信息都将被视为违反条款。本出版物中的器件应用信息仅为您提供便利，将来可能会发生更新。您须自行确保应用符合您的规范。如需额外的支持，请联系当地的 Microchip 销售办事处，或访问 www.microchip.com/en-us/support/design-help/client-support-services。

Microchip “按原样”提供这些信息。Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对非侵权性、适销性和特定用途的适用性的暗示担保，或针对其使用情况、质量或性能的担保。

在任何情况下，对于因这些信息或使用这些信息而产生的任何间接的、特殊的、惩罚性的、偶然的或附带的损失、损害或任何类型的开销，Microchip 概不承担任何责任，即使 Microchip 已被告知可能发生损害或损害可以预见。在法律允许的最大范围内，对于因这些信息或使用这些信息而产生的所有索赔，Microchip 在任何情况下所承担的全部责任均不超出您为获得这些信息向 Microchip 直接支付的金额（如有）。如果将 Microchip 器件用于生命维持和/或生命安全应用，一切风险由买方自负。买方同意在由此引发任何一切损害、索赔、诉讼或费用时，会维护和保障 Microchip 免于承担法律责任。除非另外声明，在 Microchip 知识产权保护下，不得暗或以其他方式转让任何许可证。

Microchip 器件代码保护功能

请注意以下有关 Microchip 产品代码保护功能的要点：

- Microchip 的产品均达到 Microchip 数据手册中所述的技术规范。
- Microchip 确信：在正常使用且符合工作规范的情况下，Microchip 系列产品非常安全。
- Microchip 注重并积极保护其知识产权。严禁任何试图破坏 Microchip 产品代码保护功能的行为，这种行为可能会违反《数字千年版权法案》（Digital Millennium Copyright Act）。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是“牢不可破”的。代码保护功能处于持续发展中。Microchip 承诺将不断改进产品的代码保护功能。