
硬件设计检查清单

1.0 简介

本文档提供了Microchip LAN8842产品系列的硬件设计检查清单，旨在助力客户的设计一次成功。在新设计中使用LAN8842时，应遵循检查清单中的各项内容。第9.0章“硬件检查清单汇总”对这些内容进行了汇总。有关各项主题的详细信息，可参见相应的章节：

- 第2.0章“一般注意事项”
- 第3.0章“电源”
- 第4.0章“双绞线介质接口”
- 第5.0章“SGMII MAC接口”
- 第6.0章“器件时钟”
- 第7.0章“介质恢复时钟输出”
- 第8.0章“1588支持”
- 第9.0章“数字接口和I/O”
- 第10.0章“其他”

2.0 一般注意事项

2.1 所需参考资料

LAN8842实现者手头应备有以下文档：

- LAN8842 Single Port 10/100/1000 Ethernet Transceiver with SGMII, IEEE 1588, SyncE and TSN Support Data Sheet
- LAN8842 EVB 文档，包括原理图、PCB文件和BOM等（www.microchip.com）

2.2 引脚检查

- 对照数据手册检查器件的引脚分配。确保所有引脚均符合数据手册的要求，并将其配置为输入、输出或双向以进行错误检查。

2.3 地

- 使用单一参考地作为系统地，用于所有接地引脚。使用一个连续地平面来确保所有信号都具有低阻抗接地路径和连续参考地。
- 为了优化EMI和ESD，需要在线路侧的磁件与RJ45连接器之间使用机壳地。

LAN8842

3.0 电源

表 3-1 列出了 LAN8842 的电源引脚。

表 3-1: 电源引脚

名称	引脚	说明	备注
+2.5/3.3V 模拟 I/O 电源	VDDAH 3 VDDAH_GHPY 9 VDDAH_SERDES 28 VDDAH_ABPVT_PLL 52	+2.5/3.3V 模拟 I/O 电源	电源
+1.1V 模拟电源	VDDAL_ADC_AB_GPHY 6 VDDAL_ADC_CD_GPHY 12 VDDAL_PLL 1 VDDAL_SERDES 25	+1.1V 模拟电源	电源
+3.3/2.5/1.8V 可变 I/O 电源输入	VDDIO 20、36 和 45	+3.3/2.5/1.8V 可变 I/O 数字电 源输入	电源
+1.1V 数字内核电源输入	VDDCORE 21、35 和 53	+1.1V 数字内核电源输入	电源
接地焊盘	P_VSS	公共地。此外露焊盘必须通 过过孔阵列连接到接地层。	GND

3.1 电流要求

- 确保稳压器和配电的设计足以支持器件数据手册的功耗部分规定的每个电源轨的电流要求（有关不同的系统配置，请参见 *LAN8842 Data Sheet*）。
- *LAN8842 Data Sheet* 的“Operational Characteristics”部分包含不同工作模式期间在各种工作电压下测得的器件功耗的详细信息。功耗受温度、电源电压和外部拉/灌电流要求的影响。
- 所有最坏情况下的测量均在 +6% 电源和 +125°C 温度的条件下进行。请参见 *LAN8842 Data Sheet* 的“Worst-Case Four-Port Operation”部分。
- 有关典型工作情况的功耗数据，请参见 *LAN8842 Data Sheet* 中“Power Consumption”部分的表格；有关最坏工作情况的功耗数据，请参见 *LAN8842 Data Sheet* 中“Worst-Case Operation”部分的表格（分别以 VDDCore、VDDAL_x 和 VDDIO_x 列出）。

3.2 电源平面

- LAN8842 具有集成的 LDO 控制器。Microchip 仍在评估其在客户设计中的最佳用例。用户必须实现一个外部 LDO 模块用于 1.1V 电源轨，以确保可靠性。

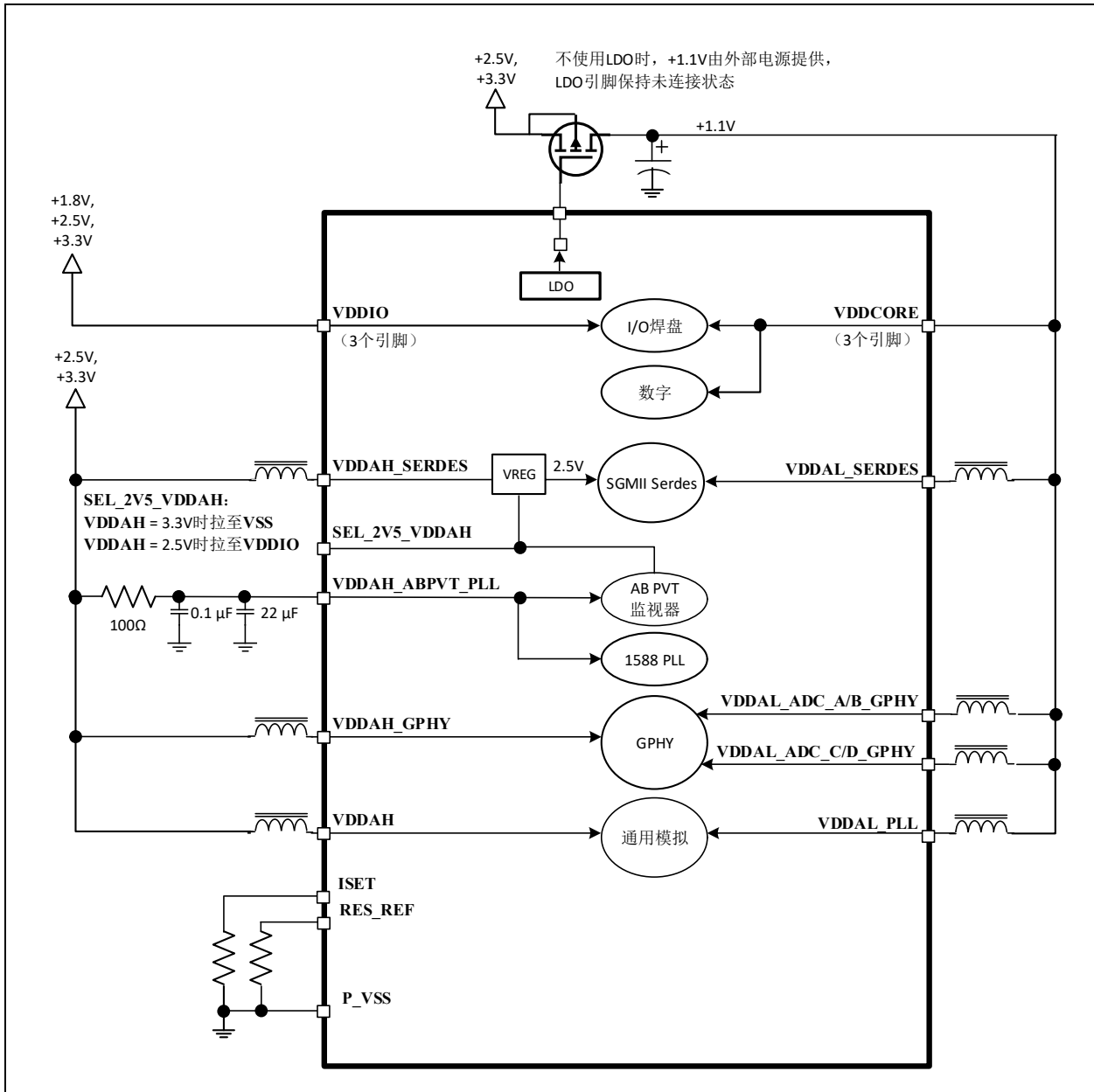
3.2.1 LDO

- LDO 控制器默认为使能状态。建议使用外部电源。

3.3 电源电路连接和模拟电源平面滤波

- [图3-1](#) 给出了 LAN8842 的电源和接地连接。
- 1.1V 电源轨不是可选项。但是，用户可以选择 2.5V 或 3.3V 电源轨。在封装级或 PCB 级，经滤波的模拟 1.1V 以及 2.5V 或 3.3V 电源不应短接到任何其他数字电源。
- 最重要的 PCB 设计和布线注意事项如下：
 - 确保返回平面与电源平面相邻（二者之间没有信号层）。
 - 确保只有一个平面用于参考电压，并且该平面内的各个电压轨分开。尝试基于每个电压轨的相应过孔坐标最大程度地增大电源平面上彼此分开的各个电源的面积，从而尽可能增加每个电压轨与返回平面之间的耦合。
 - 最大程度地减小电阻下降，同时使用 1 盎司铜箔为器件有效散热。
- 对于只有一个指定电源平面的四层 PCB，必须遵循适当的设计技术以避免发生随机系统事件，例如 CRC 错误。每个电源都需要尽可能减小电阻下降，以便在正确放置本地去耦电容的情况下为器件的引脚供电。
- 应尽可能在串联电感滤波器上使用铁氧体磁珠，高密度或高功率器件尤其如此。
 - 应使用铁氧体磁珠将每个模拟电源与电路板其余部分隔离。铁氧体磁珠应串联在大容量去耦电容与本地去耦电容之间。
 - 由于所有 PCB 设计都会产生独特的噪声耦合行为，因此并非每个设计都需要铁氧体磁珠或去耦电容。建议系统设计人员预留选项，方便用户在全面评估系统性能后用 0Ω 电阻替换铁氧体磁珠。

图3-1： 电源连接和本地滤波



3.4 大容量去耦电容

- 大容量去耦电容可置于电路板上任何方便的位置。本地去耦电容应为X5R或X7R陶瓷电容，并且尽可能靠近LAN8842的每个电源引脚。
- 确保大容量电容（4.7 μF至22 μF）集成到电源的每个电源轨中。

4.0 双绞线介质接口

4.1 10/100/1000 Mbps 接口连接

LAN8842具有一个名为PHY 0的GPHY端口（对应端口1）。PHY 0的详细引脚编号如下：

- **TX_RXP_A**（引脚4）：该引脚是来自内部PHY差分对A的发送/接收正（+）连接。该引脚连接到10/100/1000磁件。无需外部终端电阻或偏置。
- **TX_RXN_A**（引脚5）：该引脚是来自内部PHY差分对A的发送/接收负（-）连接。该引脚连接到10/100/1000磁件。无需外部终端电阻或偏置。
- **TX_RXP_B**（引脚7）：该引脚是来自内部PHY差分对B的发送/接收正（+）连接。该引脚连接到10/100/1000磁件。无需外部终端电阻或偏置。
- **TX_RXN_B**（引脚8）：该引脚是来自内部PHY差分对B的发送/接收负（-）连接。该引脚连接到10/100/1000磁件。无需外部终端电阻或偏置。
- **TX_RXP_C**（引脚10）：该引脚是来自内部PHY差分对C的发送/接收正（+）连接。该引脚连接到10/100/1000磁件。无需外部终端电阻或偏置。
- **TX_RXN_C**（引脚11）：该引脚是来自内部PHY差分对C的发送/接收负（-）连接。该引脚连接到10/100/1000磁件。无需外部终端电阻或偏置。
- **TX_RXP_D**（引脚13）：该引脚是来自内部PHY差分对D的发送/接收正（+）连接。该引脚连接到10/100/1000磁件。无需外部终端电阻或偏置。
- **TX_RXN_D**（引脚14）：该引脚是来自内部PHY差分对D的发送/接收正（+）连接。该引脚连接到10/100/1000磁件。无需外部终端电阻或偏置。

4.2 磁件连接和RJ45连接

- 差分对A通道在LAN8842侧的中心抽头仅通过0.1 μ F的电容器连接到GND。无需偏置。
- 差分对B通道在LAN8842侧的中心抽头仅通过0.1 μ F的电容器连接到GND。无需偏置。
- 差分对C通道在LAN8842侧的中心抽头仅通过0.1 μ F的电容器连接到GND。无需偏置。
- 差分对D通道在LAN8842侧的中心抽头仅通过0.1 μ F的电容器连接到GND。无需偏置。
- 建议使用0.1 μ F的电容器分别将全部四个差分对的磁件的中心抽头与地隔离。这是因为差分对之间的共模电压可能不同，尤其是在10/100工作模式下（差分对A和B有效，差分对C和D无效）。但是，对于具有成组中心抽头的集成连接器磁件，软件中会提供脚本来解决这种模拟前端限制。请参见LAN8842 Errata。
- 每一个差分对（A、B、C和D）在线缆侧（RJ45侧）的中心抽头应通过75 Ω 的终端电阻和共用的1000 pF、2 kV电容连接到机壳地。
- 只需使用一个1000 pF、2 kV的电容器连接到机壳地。差分对A、差分对B、差分对C和差分对D的中心抽头共用该电容。
- 机壳地与系统地之间只需连接一个1000 pF、2 kV的电容器或一个铁氧体磁珠。
- RJ45屏蔽层应连接到机壳地。这包括带或不带集成磁件的RJ45连接器。有关如何从系统地创建机壳地的指导，请参见第4.3节“PCB布线注意事项”。

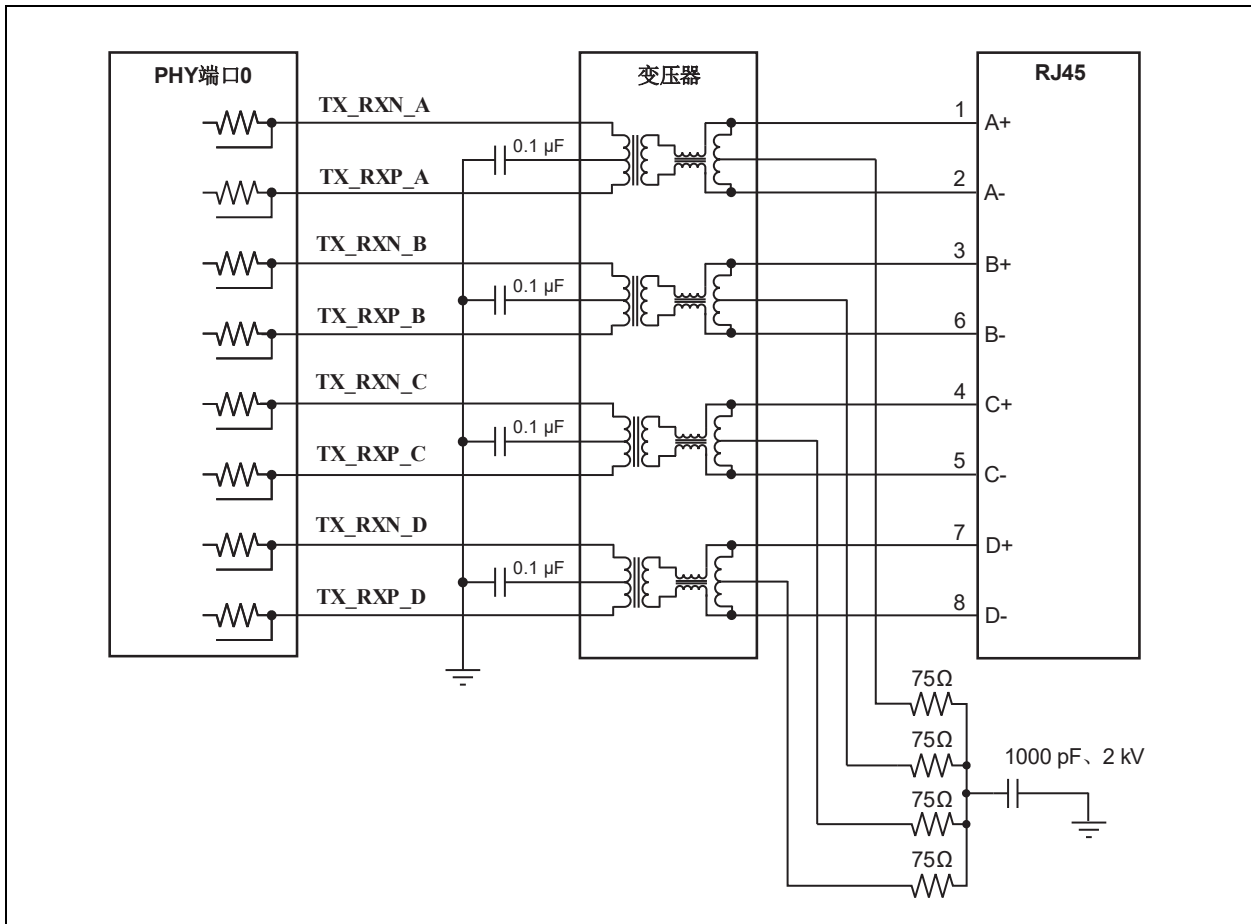
4.3 PCB布线注意事项

- MDI接口走线的所有差分对相对于GND平面的特性阻抗都应为100Ω。此项严格要求由PCB设计人员和晶圆厂共同提出，旨在最大程度地减少返回损耗。
- 对于电路板设计，每个MDI对的一半所提取的单端电容应小于10 pF。
- 每个MDI对都应尽可能地平行靠近放置，以最大程度减少EMI和串扰。差分对A、B、C和D的每个端口的长度都应匹配，以防出现导致共模噪声的延时不匹配情况。
- 理想情况下，信号路径上不应存在交叉或过孔。
- 集成一个1000 pF、2 kV的电容或一个铁氧体磁珠来连接机壳地与系统地。这样，在进行EMI测试时会具备一定的灵活性，具体来说就是可以采用不同的接地选项（如果不集成电容或铁氧体磁珠，将使两个地隔离）。要实现最佳性能，使用铁氧体磁珠或电容将两个地短接在一起。要优化ESD，用户需要在PCB布线中将电容或铁氧体磁珠放远离LAN8842器件或其他敏感器件的位置。

4.4 以太网介质接口

图4-1给出了器件以太网介质接口连接。请注意，该器件支持具有多组中心抽头的集成连接器磁件。

图4-1： 以太网介质接口连接



5.0 SGMII MAC 接口

- LAN8842 器件支持一个SGMII MAC接口，可传送网络数据，端口速度为10/100/1000 Mbps。
- SGMII MAC接口的详细引脚编号和引脚说明在以下小节中介绍。图5-1给出了器件SGMII MAC接口连接。

5.1 SGMII MAC 引脚和连接

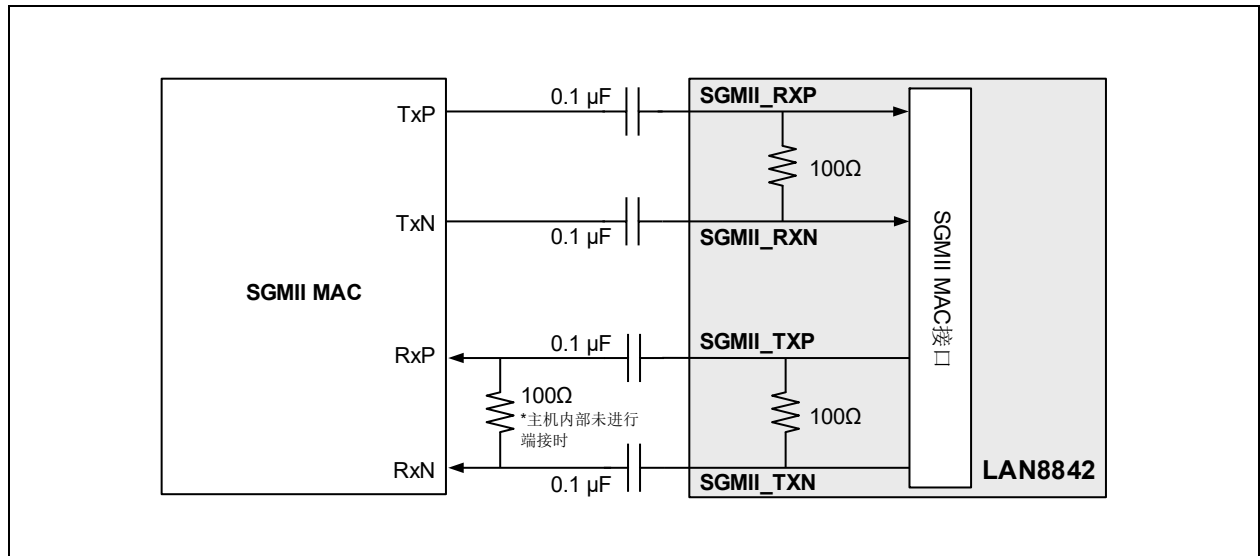
LAN8842支持SGMII MAC接口，可传送网络数据。下面给出了SGMII MAC接口的详细引脚编号和引脚说明：

- **SGMII_TXP**（引脚27）：该引脚是SGMII发送器正输出差分对的正（+）发送信号连接。
- **SGMII_TXN**（引脚26）：该引脚是SGMII发送器负输出差分对的负（-）发送信号连接。
- **SGMII_RXP**（引脚23）：该引脚是SGMII发送器正输入差分对的正（+）接收信号连接。
- **SGMII_RXN**（引脚24）：该引脚是SGMII发送器负输入差分对的负（-）接收信号连接。

5.2 SGMII MAC

- LAN8842 器件支持SGMII MAC，可传送网络数据，端口速度为10/100/1000 Mbps。

图5-1： SGMII MAC 接口连接



5.3 SGMII MAC 设计规则

- 使用 0.1 μF 电容为芯片到芯片应用实现交流耦合。将电容置于信号的接收端。
- 走线应采用 50 Ω （100 Ω 差分）可控阻抗传输线（微带线和带状线）的方式进行布线。
- 每个差分对的走线长度应相等（10 mil 以内），以便最大程度地减少偏移。
- 走线应邻近单一地平面布线，以便匹配阻抗并最大程度地减小噪声。
- 建议相邻走线的间距等于地平面间隙的五倍，以便减少差分对之间的串扰。最小间距不能小于地平面间隙的三倍。
- 走线应避免过孔和换层。如果无法避免换层，应在信号过孔旁增加共模抑制过孔以降低杂散辐射场的强度。
- 保护过孔与差分对走线的距离不应超过四分之一波长。

6.0 器件时钟

6.1 参考时钟

器件参考时钟支持 25 MHz 时钟信号。

6.2 系统时钟和同步以太网连接

LAN8842 系统参考时钟支持晶振输入/系统参考时钟输入接口，相关引脚详细信息如下：

- **XI**（引脚 56）：晶振输入/系统参考时钟输入。当使用 25 MHz 晶振时，该输入连接到晶振的一个引脚。
- **XO**（引脚 55）：晶振输出。当使用 25 MHz 晶振时，该输出连接到晶振的一个引脚。
- **CK25OUT**（引脚 49）：系统时钟输出。25 MHz 内部参考时钟的缓冲副本。该输出时钟由 **VDDAH** 供电。该引脚与 **GPIO11** 复用。

使用参考时钟时，请确保：

- 满足 *LAN8842 Data Sheet* 中的抖动要求。
- 走线采用 50Ω（100Ω 差分）可控阻抗传输线（微带线和带状线）的方式布线。
- 所有参考时钟不得有毛刺或能够无缝切换。
- 未使用的参考时钟可悬空（无连接）。

6.3 单端 REFCLK 输入

要使用单端参考时钟，需要外部电阻（Rs）。Rs 用于限制振荡器输出上的漏极。根据图 3-1 中的电源连接图，单端 REFCLK 的配置以 **VDDAH** 为参考。

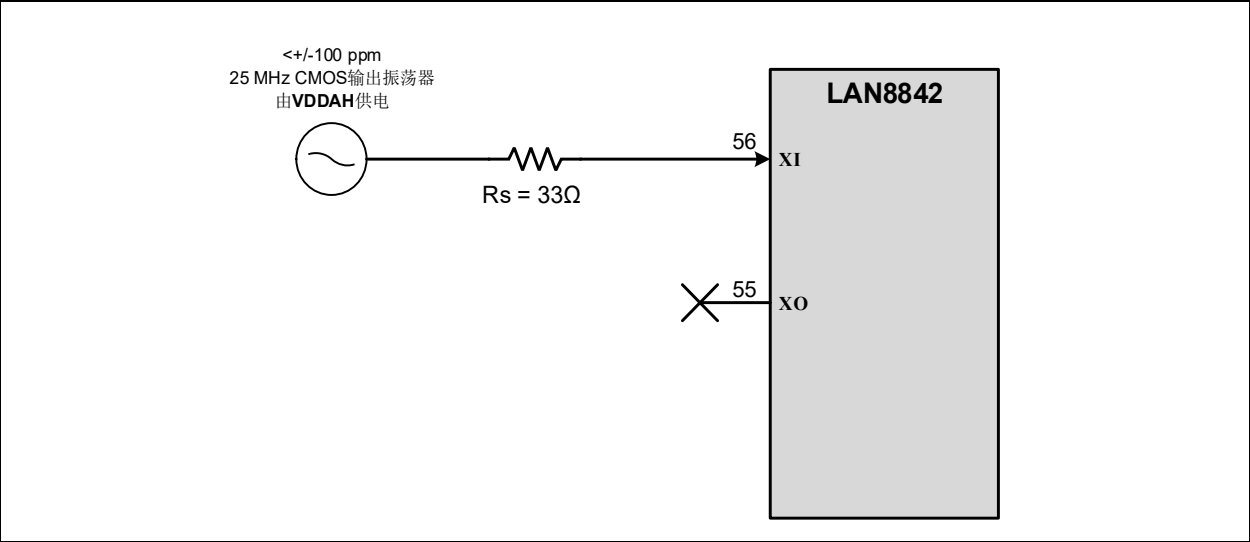
表 6-1 列出了 ICLK 型输入缓冲器的非可变 I/O 直流电气特性，图 6-1 则给出了单端 REFCLK 输入图。

表 6-1： ICLK 型输入缓冲器的非可变 I/O 直流电气特性

ICLK 型输入缓冲器	符号	最小值	最大值	单位	注
低电平输入电压	V _{IL}	—	0.5	V	注 1
高电平输入电压	V _{IH}	2.0	—	V	
输入泄漏电流	I _{IH}	−10	10	μA	

注 1： 可选择通过符合这些规范的 25 MHz 单端时钟振荡器来驱动 XI。

图6-1： 单端REFCLK输入



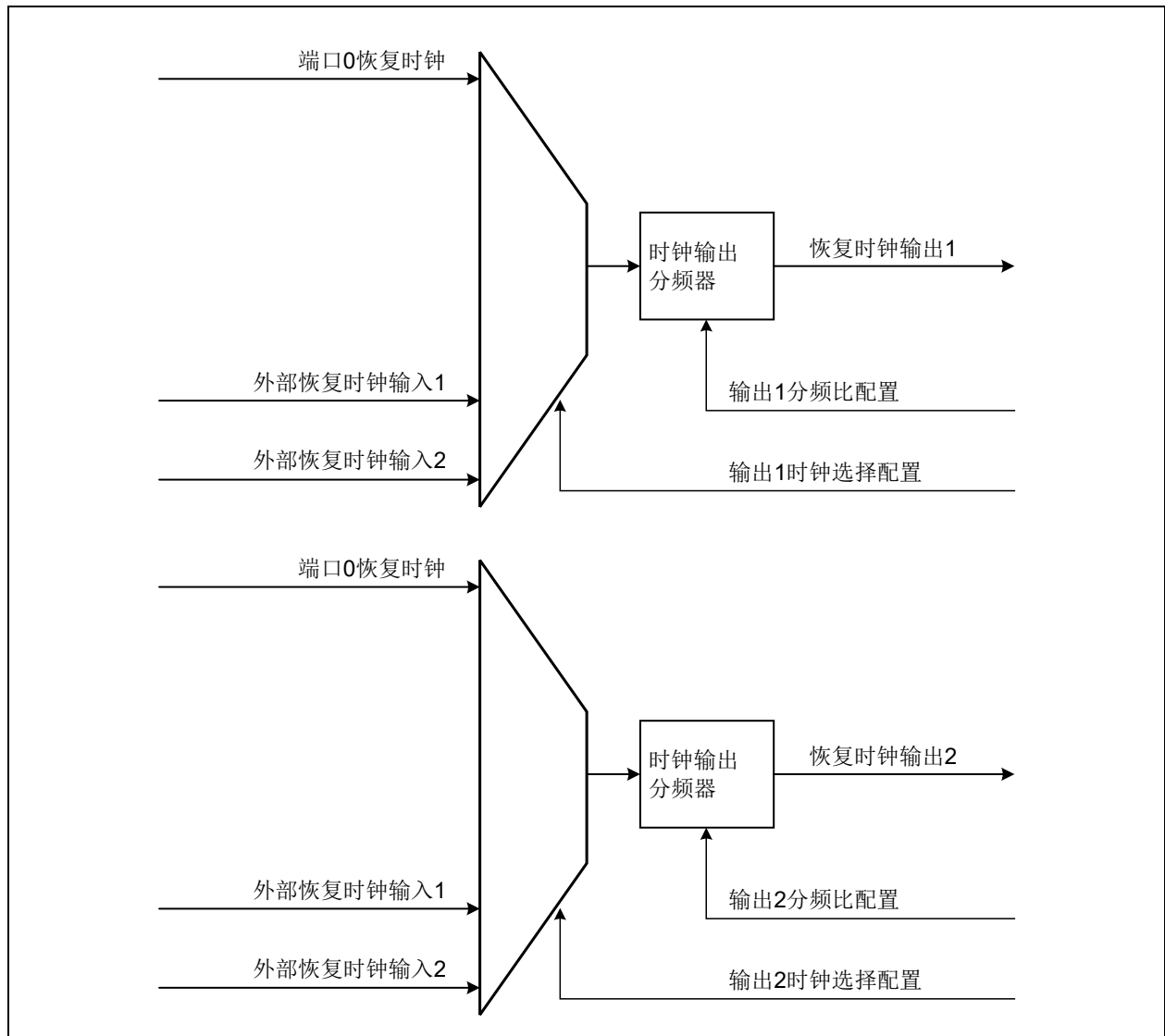
7.0 介质恢复时钟输出

LAN8842 包含两个恢复时钟输出引脚和两个恢复时钟输入引脚，可用于同步以太网应用。

- **RCVRD_CLK_OUT1**（引脚47）：恢复时钟输出1（GPIO9）。2.5 MHz、25 MHz或125 MHz恢复时钟输出。无论PHY速度如何，该引脚均可配置为始终输出2.5 MHz。
- **RCVRD_CLK_OUT2**（引脚48）：恢复时钟输出2（GPIO10）。2.5 MHz、25 MHz或125 MHz恢复时钟输出。无论PHY速度如何，该引脚均可配置为始终输出2.5 MHz。
- **RCVRD_CLK_IN1**（引脚44）：恢复时钟输入1（GPIO7）。2.5 MHz、25 MHz或125 MHz恢复时钟输入。
- **RCVRD_CLK_IN2**（引脚46）：恢复时钟输入2（GPIO8）。2.5 MHz、25 MHz或125 MHz恢复时钟输入。

有关指示可用恢复时钟选项的**RCVRD_CLK_OUT**输出操作的功能图，请参见图7-1。

图7-1： 同步以太网恢复时钟输出



• 使用同步以太网应用时，请参见图7-2和图7-3。

图7-2: 典型同步以太网时钟配置

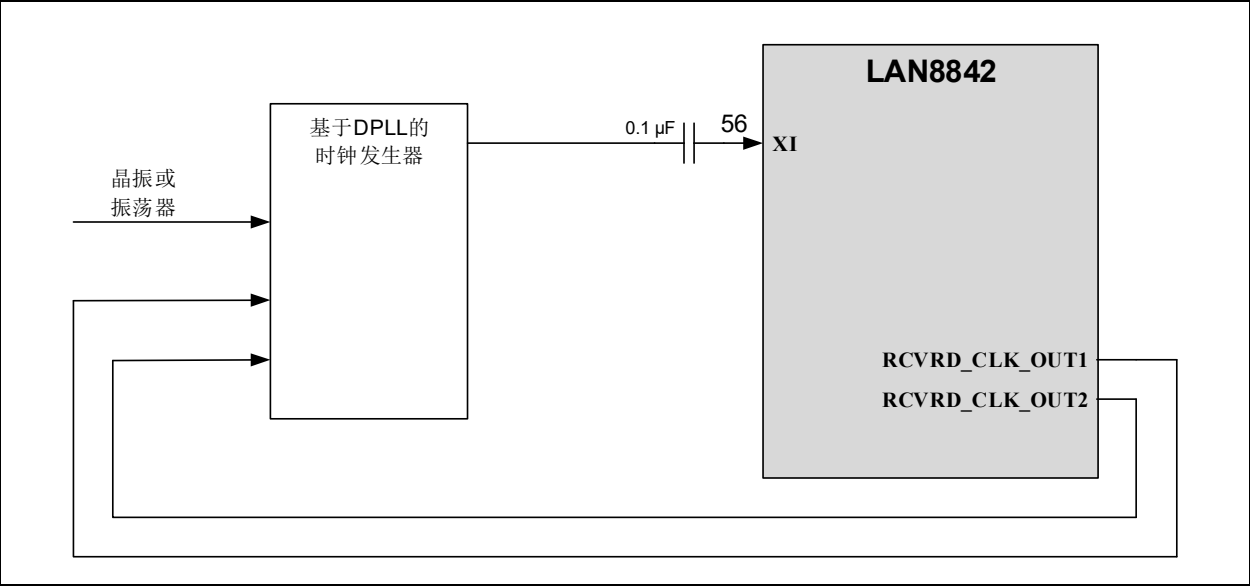
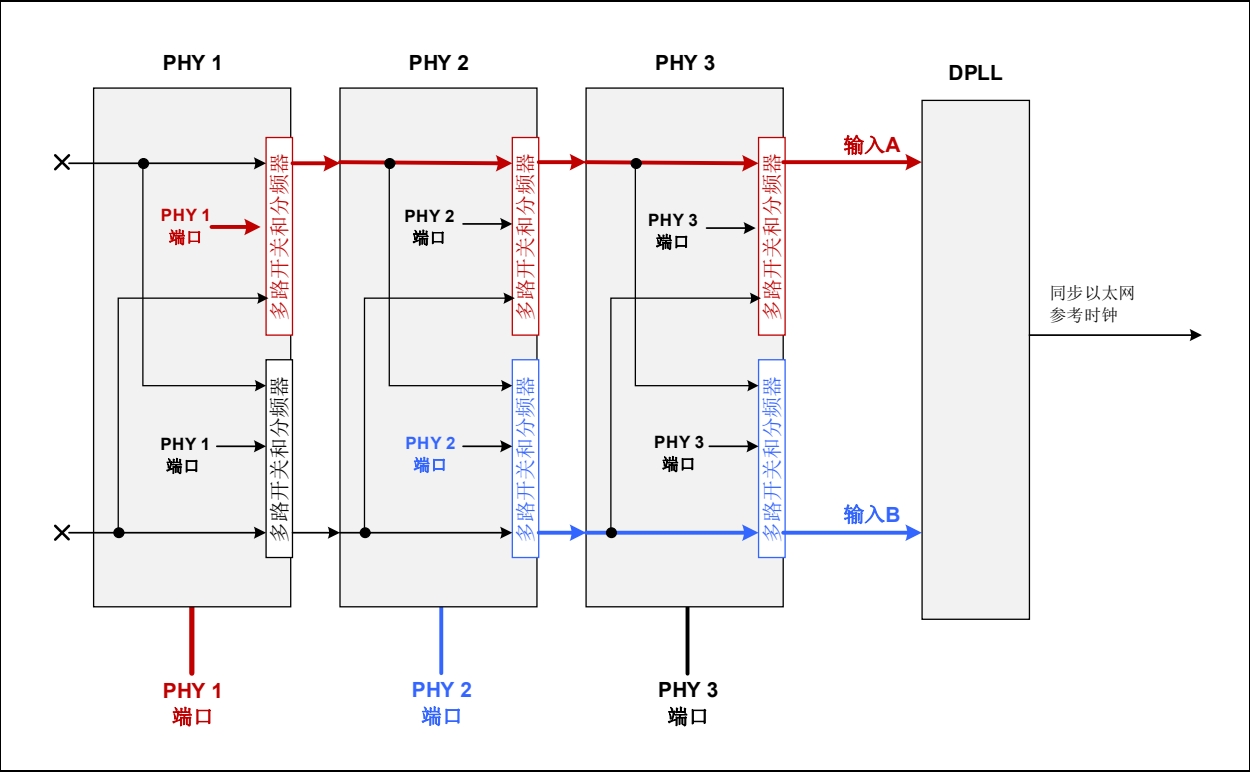


图7-3: 同步以太网恢复时钟菊花链



8.0 1588支持

8.1 IEEE 1588 引脚连接

LAN8842支持IEEE 1588时间戳功能。只有LAN8842支持该功能，LAN8832不支持。

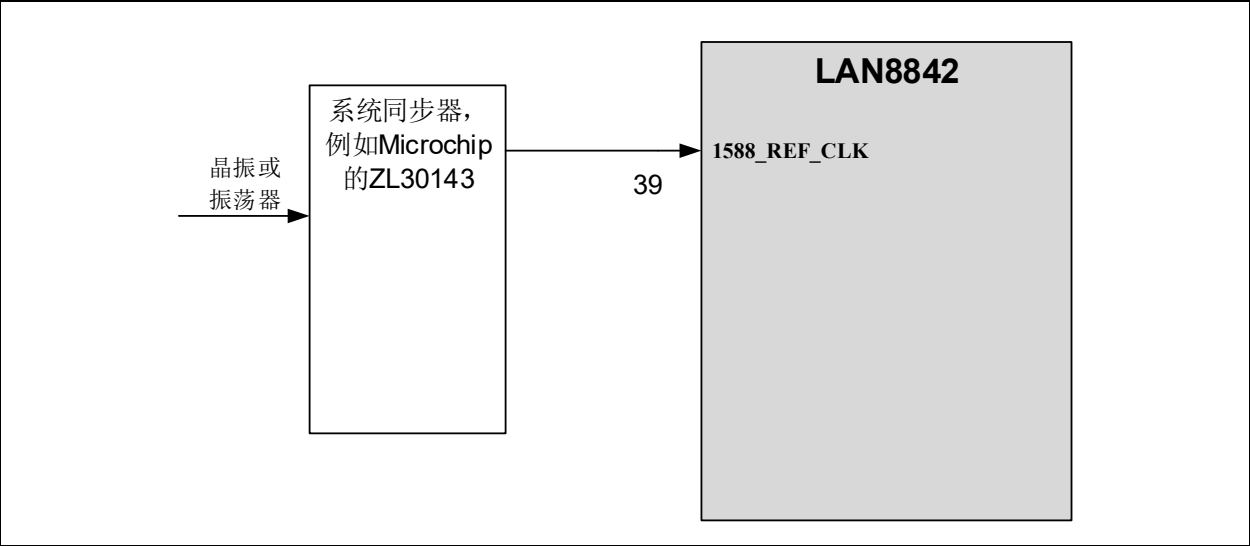
表8-1列出了IEEE 1588时间戳模块的硬件接口。

表8-1: IEEE-1588时间戳硬件接口

GPIO	引脚编号	备用功能	说明
GPIO0	37	1588_EVENT_A	1588 LTC事件A
GPIO1	38	1588_EVENT_B	1588 LTC事件B
GPIO2	39	1588_REF_CLK	1588参考时钟输入
GPIO3	40	1588_LD_ADJ	1588装载/调节输入

- **1588_LD_ADJ**（引脚40）：1588装载/调节输入引脚。该输入控制1588 LTC的装载和调节。该引脚还有其他复用功能。
- **1588_REF_CLK**（引脚39）：1588参考时钟输入。频率：10 MHz、25 MHz或125 MHz。该输入可选择支持ePPS格式，即PPS与时钟相结合（ePPS格式最高可达25 MHz）。该引脚还有其他复用功能。
- **1588_EVENT_A**（引脚37）：1588 LTC事件A。该引脚置为有效时，指示发生了1588 LTC事件A。该引脚还可配置为提供PPS输出信号。该引脚还有其他复用功能。
- **1588_EVENT_B**（引脚38）：1588 LTC事件B。该引脚置为有效时，指示发生了1588 LTC事件B。该引脚还可配置为提供PPS输出信号。该引脚还有其他复用功能。
- **1588_REF_CLK**引脚的默认配置是将器件设置为对本地时间计数器（Local Time Counter, LTC）使用内部时钟。请参见用于控制参考时钟源的寄存器EP4.514 bit 12:10。EP4.514 bit 12:10的默认值为000（来自内部系统PLL的125 MHz时钟）。要启用外部时钟源，需将寄存器EP4.514 bit 12:10更改为010 = 外部1588_REF_CLK（可以是10 MHz、25 MHz或125 MHz）。
 - 000 = 来自内部系统PLL的125 MHz时钟
 - 001 = 125 MHz SGMII恢复时钟
 - 010 = 外部1588_REF_CLK（可以是10 MHz、25 MHz或125 MHz）
 - 011 = 保留
 - 100 = 来自端口0 Rx的恢复时钟（可以是25 MHz或125 MHz）
 - 101 = 来自端口1 Rx的恢复时钟（可以是25 MHz或125 MHz）
 - 110 = 来自端口2 Rx的恢复时钟（可以是25 MHz或125 MHz）
 - 111 = 来自端口3 Rx的恢复时钟（可以是25 MHz或125 MHz）
- 请注意，如果使用恢复时钟选项时链路断开，将没有1588参考时钟，从而导致意外行为。

图 8-1: 1588 时钟配置



9.0 数字接口和I/O

9.1 MIIM (MDIO) 接口

- LAN8842器件支持IEEE 802.3 MII管理接口，MII管理接口也称为管理数据输入/输出 (Management Data Input/Output, MDIO) 接口。该接口允许上层器件监视和控制器件的状态。具有MIIM功能的外部器件用于读取PHY状态和/或配置PHY设置。有关MIIM接口的更多详细信息，请参见IEEE 802.3规范第22.2.4条 (见[注](#))。
- MIIM接口包括以下部分：
 - 一个兼具时钟线 (MDC) 和数据线 (MDIO) 的物理连接。
 - 一个在物理连接上工作，允许外部控制器与一个或多个器件通信的特定协议。每个器件通过 PHYAD[4:0] 配置脚分配一个介于0h和1Fh之间的惟一PHY地址。
 - **PHYAD0** (引脚49)：GPIO11/CK25OUT/PHYAD0
 - **PHYAD1** (引脚50)：GPIO12/PHYAD1
 - **PHYAD2** (引脚51)：GPIO13/SOF/PHYAD2
 - **PHYAD3** (引脚18)：GPIO14/LED1/PHYAD3/LED1_POL
 - **PHYAD4** (引脚19)：GPIO15/LED2/PHYAD4/LED2_POL
- 32位寄存器地址空间，用于直接访问IEEE定义的寄存器和供应商特定的寄存器，以及用于间接访问MMD地址和寄存器。
- MDIO输出引脚驱动模式由EP4.5和Reg17中定义的两个位控制：
 - 输出控制寄存器中的MDIO缓冲器类型位 (EP4.5的bit 15，对应于端口0)
 - test_a1_a2_en_bit (Reg17的bit 9，对应于PHY的每个端口)
- 清零时，MDIO输出为漏极开路输出。置1时，MDIO输出为推挽输出。要将MDIO输出配置为推挽输出，请将端口0的值0x8000写入寄存器EP4.5 (将bit 15置1)。对于每个端口，将值0x02f4写入寄存器17以将bit 9置1。

注： MDIO引脚只能与其他22条MIIM目标关联。与任何45条目标 (如10G PHY) 关联都将导致意外行为。

9.2 GPIO引脚

- 通用I/O (General Purpose I/O, GPIO) 包含16个可编程输入/输出引脚，这些引脚与其他引脚共用。这些引脚可通过GPIO寄存器单独配置。
- 对于可能用于通用输入的配置脚输入，必须格外小心。必须调理或通过其他方式禁止通用输入，以防在配置脚装载期间驱动不正确的配置脚输入值。
- 很多GPIO能够用作备用功能。作为GPIO使能后，通过GPIO备用功能选择寄存器中的位选择备用功能。备用功能缓冲器类型仍通过GPIO缓冲器类型寄存器选择。如果备用功能是端口LED并且GPIO缓冲器类型为漏极开路，则输出缓冲器将根据适用的LED极性自动在源极开路与漏极开路之间进行选择。备用功能输入引脚可由软件通过GPIO数据寄存器读取，并且可产生GPIO中断。[表9-1](#)列出了备用功能映射。

表9-1： GPIO 备用功能

GPIO	引脚编号	备用功能	配置脚	条件
GPIO0	37	1588_EVENT_A/PPS_OUT	LED 模式	—
GPIO1	38	1588_EVENT_B/PPS_OUT	MODE_SEL0	—
GPIO2	39	1588_REF_CLK	—	—
GPIO3	40	1588_LD_ADJ	MODE_SEL1	—
GPIO4	41		MODE_SEL2	—
GPIO5	42		MODE_SEL3	—
GPIO6	43		MODE_SEL4	—
GPIO7	44	RCVRD_CLK_IN1	—	—
GPIO8	46	RCVRD_CLK_IN2	—	—
GPIO9	47	RCVRD_CLK_OUT1	—	—
GPIO10	48	RCVRD_CLK_OUT2	—	—
GPIO11	49	CK25OUT	PHYAD0	请参见注1。
GPIO12	50		PHYAD1	请参见注1。
GPIO13	51	SOF	PHYAD2	请参见注1。
GPIO14	18	LED1	PHYAD3/LED1_POL	请参见注1。
GPIO15	19	LED2	PHYAD4/LED2_POL	—

注 1： 通过上拉或下拉操作使能LED，LED 极性将采用配置脚的反相值。使用GPIO时，必须考虑以下事项：

- 将引脚配置为GPIO输入会自动使能内部上拉。
- 内部上拉电阻用于防止未连接输入悬空。请勿依靠内部电阻来驱动器件外部的信号。连接到必须拉高的负载时，必须添加外部电阻。
- 将引脚配置为GPIO输出会自动禁止内部上拉。漏极开路输出可能需要外部上拉，具体取决于应用。

9.3 JTAG 引脚

- 符合IEEE 1149.1标准的TAP控制器支持边界扫描和各种测试模式。器件集成了JTAG边界扫描测试端口，支持电路板级测试。该接口由四个引脚（TDO、TDI、TCK和TMS）组成，包含状态机、数据寄存器阵列和指令寄存器。表9-2中介绍了JTAG引脚。JTAG 接口符合IEEE 标准 1149.1-2001 标准 “Test Access Port (TAP) and Boundary-Scan Architecture”。
- 所有输入和输出数据均与TCK测试时钟输入同步。TAP 输入信号TMS和TDI在TCK的上升沿随时钟输入到测试逻辑，而输出信号TDO在下降沿随时钟输出。
- JTAG 引脚与GPIO 引脚复用。
- 当TESTMODE（引脚15）置为有效时，将选择JTAG 功能。
- 当JTAG未使用时，TESTMODE（引脚15）应连接至GND。

表9-2： JTAG 引脚说明

引脚符号	引脚编号	引脚名称
TCK	48	JTAG 测试时钟
TDI	44	JTAG 数据输入
TDO	46	JTAG 数据输出
TMS	47	JTAG 测试模式选择

10.0 其他

10.1 复位

- LAN8842提供RESET_N输入引脚16（见表10-1）。该引脚用作器件的硬件复位引脚，必须遵循LAN8842 Data Sheet的“Power Sequence Timing”和“Reset Pin Configuration Strap Timing”部分详细介绍的时序要求。可通过将RESET_N输入引脚从低电平转换为高电平的方式从复位释放。

表10-1： 复位引脚说明

引脚名称	引脚编号	说明
NRESET	16	器件复位。这是低电平有效输入，将使器件掉电并将寄存器所有位设置为其默认状态。

10.2 PLL/时钟

- 器件提供以下PLL：
 - 系统PLL：生成内部系统时钟以及内部PHY所需的时钟。更多信息，请参见LAN8842 Data Sheet的“System Clocks”部分。
 - 1588 PLL：生成内部1588时钟。更多信息，请参见LAN8842 Data Sheet的“1588 Clock”部分。
 - SGMII SerDes MPLL：生成SerDes所需的时钟。更多信息，请参见LAN8842 Data Sheet的“SGMII SerDes Clock”部分。
- 系统PLL可使用以下任何时钟作为其输入参考时钟：
 - 25 MHz 晶振
 - 25 MHz 系统单端参考时钟输入
- 系统PLL生成以下时钟：
 - 250 MHz 系统时钟
 - 25 MHz 系统时钟
- 1588参考时钟输入选项为10 MHz、25 MHz和125 MHz。

10.3 参考电阻

有关参考电阻引脚的详细信息，请参见表10-2。

表10-2： 参考电阻引脚说明

引脚名称	引脚编号	说明
ISET	2	该引脚必须通过6.04 k Ω 、1%的电阻接地。
RES_REF	29	该引脚必须通过200 Ω 、1%、100 ppm/ $^{\circ}$ C的电阻接地。

10.4 测试模式

有关测试模式引脚的详细信息，请参见表10-3。

表10-3： 测试模式引脚说明

引脚名称	引脚编号	说明
TESTMODE	15	为确保正常工作，该引脚必须下拉至地。当TESTMODE（引脚15）置为有效时，将选择JTAG功能。

10.5 LED引脚

- 器件提供八个可编程LED，每端口两个（PORT[0:3]LED[1:2]），可配置为支持多种LED模式。LED模式通过LED_MODE配置脚以及LED控制寄存器1和2的端口特定实例进行配置。支持的LED模式如下：
 - 单LED模式（LED控制寄存器1的bit[6] = 1，LED_MODE上拉）

- 三色LED模式（LED控制寄存器1的bit[6] = 1，LED_MODE下拉）
- 增强型LED模式（LED控制寄存器1的bit[6] = 0，LED_MODE未使用）
- 要使用LED，必须将其使能为GPIO和GPIO备用功能。必须将GPIO配置为输出，并且必须选择适当的输出驱动器类型（漏极开路或推挽式）。如果选择了漏极开路类型，输出驱动器将根据LED极性自动在源极开路与漏极开路之间进行选择。LED[2:1]_POL配置脚设置LED引脚的默认极性。有关LED极性的更多信息，请参见LAN8842 Data Sheet的“LED Polarity (LED[2:1]_POL)”部分。有关LED_MODE的更多信息，请参见LAN8842 Data Sheet的“LED Mode Select (LED_MODE)”部分。

10.6 LED模式选择 (LED_MODE)

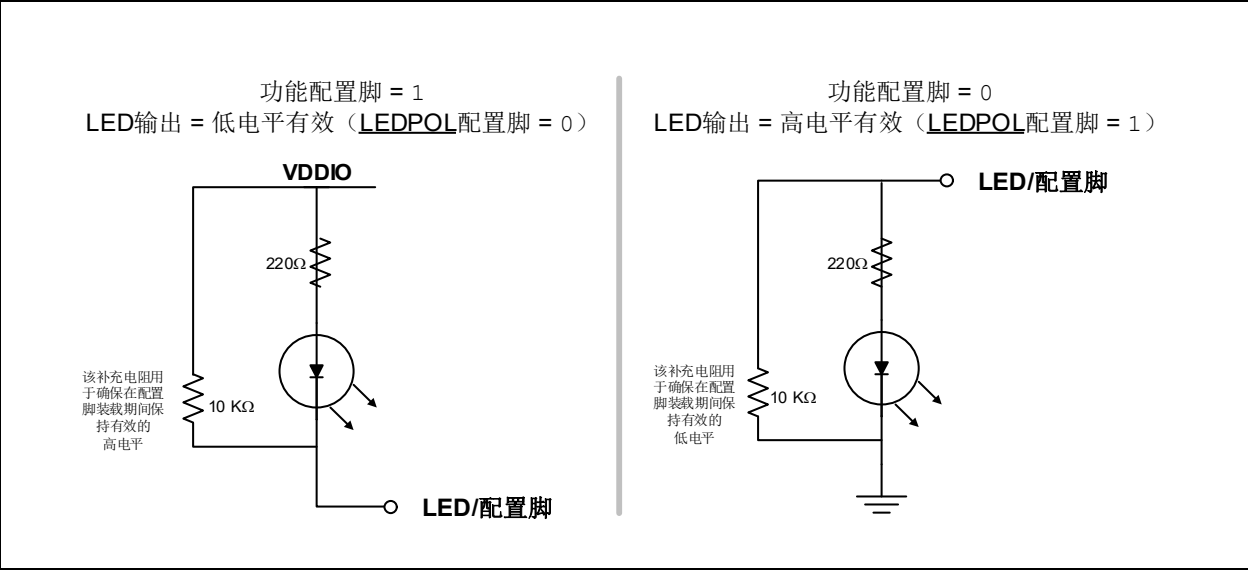
- LED_MODE配置脚用于选择单LED（上拉）或三色LED（下拉）模式。所有8个LED均配置为相同的行为（见表10-4）。LED_MODE配置脚在上电/复位时进行采样和锁存，定义如下：
 - 0：三色LED模式
 - 1：单LED模式
- 有关LED操作的说明，请参见LAN8842 Data Sheet的“LED”部分。

表10-4: GPIO LED功能

GPIO	引脚编号	备用功能	配置脚
GPIO14	18	LED1	PHYAD3/LED1_POL
GPIO15	19	LED2	PHYAD4/LED2_POL

- 注 1: 通过上拉或下拉操作使能LED，LED极性将采用寄存器位的反相值。
- 2: 建议为LED电源使用330Ω至510Ω的限流电阻和VDD25。

图10-1: 引脚LED配置脚



10.7 其他引脚

- **COMA_MODE**（引脚17）旨在使PHY保持暂停状态，直到系统初始化完成。通过将**COMA_MODE**引脚驱动为高电平来使能时，将禁止所有错误、警告、链路接通/断开通知等，直到**COMA_MODE**驱动为低电平为止。这在包含多个PHY的设计中十分有用，因为这样可以在整个电路板配置完成之前禁止所有错误。昏迷模式（**Coma mode**）的工作原理如表10-5所示。该器件中不包含**COMA**模式引脚的寄存器控制。
- 自动MDI/MDIX（对交换）：通过使用自动MDI/MDI-X功能，无需确定在器件与其链路伙伴之间使用直线缆还是交叉线。该自动检测功能可检测来自链路伙伴的MDI/MDI-X线对映射，并相应地分配该器件的MDI/MDI-X线对映射。表10-5给出了器件针对MDI/MDI-X引脚映射的10/100/1000引脚配置分配。

表10-5: MDI/MDI-X 引脚映射

引脚 (RJ45对)	MDI			MDI-X		
	1000BASE-T	100BASE-T	10BASE-T	1000BASE-T	100BASE-T	10BASE-T
TXRXP/M_A (1,2)	A+/-	TX+/-	TX+/-	A+/-	RX+/-	RX+/-
TXRXP/M_B (3,6)	B+/-	RX+/-	RX+/-	B+/-	TX+/-	TX+/-
TXRXP/M_C (4,5)	C+/-	未使用	未使用	C+/-	未使用	未使用
TXRXP/M_D (7,8)	D+/-	未使用	未使用	D+/-	未使用	未使用

10.8 未用和未连接的引脚

- **NC** 引脚（引脚33和34）为未连接的引脚。它们必须悬空。

10.9 通用外部上拉和下拉电阻

- 如果未指定上拉电阻值，建议使用4.7 kΩ电阻。
- 如果未指定下拉电阻值，建议使用1 kΩ或4.7 kΩ电阻。

注:

11.0 硬件检查清单汇总

表 11-1: 硬件设计检查清单

章节	检查	说明	√	注
第 2.0 章 “一般注意事项”	第 2.1 节 “所需参考资料”	准备好所有必要的文件。		
	第 2.2 节 “引脚检查”	验证引脚是否符合数据手册的要求。		
	第 2.3 节 “地”	验证作为系统地的单一参考地是否用于所有接地引脚。检查是否存在用于线路侧地的机壳地。		
第 3.0 章 “电源”	第 3.1 节 “电流要求”	请参见表 3-1 以确保电源引脚正确。根据系统电源设计的最坏情况选择至少约 25% 至 30% 裕量的合适电源元件。		
	第 3.2 节 “电源平面”	创建 PCB 布线时，请参见本节以实现电源平面设计。		
	第 3.3 节 “电源电路连接和模拟电源平面滤波”	请参见图 3-1 以检查电源电路连接、去耦电容和滤波。		
	第 3.4 节 “大容量去耦电容”	创建 PCB 布线时，请参见本节以了解所需的大容量去耦电容。		
第 4.0 章 “双绞线介质接口”	第 4.1 节 “10/100/1000 Mbps 接口连接”	选择图 4-1 中的设计时，根据产品设计要求验证单端口电路设计的所有模拟 I/O 引脚连接。		
	第 4.2 节 “磁件连接和 RJ45 连接”	根据图 4-1 验证磁件和共模电容连接。		
	第 4.3 节 “PCB 布线注意事项”	请参见本节的 PCB 布线设计参考，确认是否满足千兆位铜端口 PCB 布线要求。		
第 5.0 章 “SGMII MAC 接口”	第 5.1 节 “SGMII MAC 引脚和连接”	请参考本节中的指导说明，确保设计中使用了正确的 SGMII MAC 接口引脚。		
	第 5.2 节 “SGMII MAC”	有关通过 SGMII MAC 接口连接设计中的四个外部 SGMII MAC 的信息，请参见图 5-1。		
	第 5.3 节 “SGMII MAC 设计规则”	有关 SGMII MAC 接口的 PCB 设计指南，请参见本节。		
第 6.0 章 “器件时钟”	第 6.1 节 “参考时钟”	在设计中选择参考时钟频率和正确的参考时钟引脚时，请参见本节。遵循 PCB 设计中的布线要求。		
	第 6.2 节 “系统时钟和同步以太网连接”	有关系统时钟和同步以太网连接的信息，请参见本节。验证引脚连接是否正确并遵循 PCB 板布线建议。		
	第 6.3 节 “单端 REFCLK 输入”	请参见图 6-1 以实现单端参考输入时钟电路设计并根据表 6-1 在电路中使用正确的电阻分压器来获取正确的电阻值。		

表 11-1: 硬件设计检查清单 (续)

章节	检查	说明	√	注
第 7.0 章 “介质恢复时钟输出”	第 7.0 章 “介质恢复时钟输出”	请参见本节和图 7-1 以实现典型恢复时钟电路设计并使用正确的恢复时钟引脚和配置。		
		请参见图 7-2 以实现典型同步以太网时钟电路设计并使用正确的恢复时钟引脚和正确的配置。		
		请参见图 7-3 以实现典型同步以太网时钟电路设计菊花链配置并使用正确的恢复时钟引脚和配置。		
第 8.0 章 “1588 支持”	第 8.1 节 “IEEE 1588 引脚连接”	请参见表 8-1 以在设计中选择正确的 1588 差分时钟引脚对。		
第 9.0 章 “数字接口和 I/O”	第 9.1 节 “MIIM (MDIO) 接口”	有关 MIIM 接口电路设计的信息, 请参见本节。		
	第 9.2 节 “GPIO 引脚”	根据表 9-1 检查是否使用了正确的 PHY 地址引脚来配置设计所需的正确 PHY 地址。		
	第 9.3 节 “JTAG 引脚”	关于电路设计中的所有 JTAG 引脚, 请参见表 9-2 以及本节中的说明。		
第 10.0 章 “其他”	第 10.1 节 “复位”	请参见表 10-1 以使用正确的复位引脚并检查所设计的复位电路是否满足复位时间要求。		
	第 10.2 节 “PLL/时钟”	检查参考时钟配置选项并确保连接了正确的引脚。		
	第 10.3 节 “参考电阻”	请参见表 10-2 以在设计中选择正确的参考电阻偏置引脚。确保在 ISET 与 GND 之间连接 6.04 kΩ、1% 的电阻。此外, 还要确保在 RES_REF 引脚与 GND 之间连接 200Ω、1% 的电阻。		
	第 10.4 节 “测试模式”	根据表 10-3 检查是否使用了正确的 TESTMODE 引脚设置。		
	第 10.5 节 “LED 引脚”	根据表 10-4、限流电阻和 LED 电源检查是否使用了正确的 LED 引脚。		
	第 10.7 节 “其他引脚”	有关 COMA_MODE 的正确设计, 请参见本节。		
	第 10.8 节 “未用和未连接的引脚”	验证是否所有保留引脚和 NC 引脚均悬空。		
	第 10.9 节 “通用外部上拉和下拉电阻”	通常, 建议使用 4.7 kΩ 上拉电阻和 1 kΩ 下拉电阻。		

附录A： 版本历史

表A-1： 版本历史

版本与日期	节/图/条目	更正
DS00006113A (2025年8月11日)		初始版本

Microchip 信息

商标

“Microchip”的名称和徽标组合、“M”徽标及其他名称、徽标和品牌均为Microchip Technology Incorporated 或其关联公司和/或子公司在美国和/或其他国家或地区的注册商标或商标（“Microchip商标”）。有关Microchip商标的信息，可访问<https://www.microchip.com/en-us/about/legal-information/microchip-trademarks>。

ISBN: 979-8-3371-3017-0

法律声明

提供本文档的中文版本仅为了便于理解。请勿忽视文档中包含的英文部分，因为其中提供了有关Microchip产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考Microchip Technology Inc. 的英文原版文档。

本出版物及其提供的信息仅适用于Microchip产品，包括设计、测试以及将Microchip产品集成到您的应用中。以其他任何方式使用这些信息都将被视为违反条款。本出版物中的器件应用信息仅为您提供便利，将来可能会发生更新。您须自行确保应用符合您的规范。如需额外的支持，请联系当地的Microchip销售办事处，或访问<https://www.microchip.com/en-us/support/design-help/client-support-services>。

Microchip“按原样”提供这些信息。Microchip对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对非侵权性、适销性和特定用途的适用性的暗示担保，或针对其使用情况、质量或性能的担保。

在任何情况下，对于因这些信息或使用这些信息而产生的任何间接的、特殊的、惩罚性的、偶然的或附带的损失、损害或任何类型的开销，Microchip概不承担任何责任，即使Microchip已被告知可能发生损害或损害可以预见。在法律允许的最大范围内，对于因这些信息或使用这些信息而产生的所有索赔，Microchip在任何情况下所承担的全部责任均不超出您为获得这些信息向Microchip直接支付的金额（如有）。

如果将Microchip器件用于生命维持和/或生命安全应用，一切风险由买方自负。买方同意在由此引发任何一切损害、索赔、诉讼或费用时，会维护和保障Microchip免于承担法律责任。除非另外声明，在Microchip知识产权保护下，不得暗中或以其他方式转让任何许可证。

Microchip 器件代码保护功能

请注意以下有关Microchip产品代码保护功能的要点：

- Microchip的产品均达到Microchip数据手册中所述的技术规范。
- Microchip确信：在正常使用且符合工作规范的情况下，Microchip系列产品非常安全。
- Microchip注重并积极保护其知识产权。严禁任何试图破坏Microchip产品代码保护功能的行为，这种行为可能会违反《数字千年版权法案》（Digital Millennium Copyright Act）
- Microchip或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是“牢不可破”的。代码保护功能处于持续发展中。Microchip承诺将不断改进产品的代码保护功能。